

FACULDADE DE TECNOLOGIA DE SÃO PAULO – FATEC-SP
CURSO DE MATERIAIS, PROCESSOS E COMPONENTES
ELETRÔNICOS

VANESSA CRISTINA PEREIRA DA SILVA

ESTUDO POR COMPARAÇÃO EXPERIMENTAL E
SIMULADA DE TRANSISTORES UTBB COM DIFERENTES
COMPRIMENTOS DE CANAL

SÃO PAULO
2015

VANESSA CRISTINA PEREIRA DA SILVA

**ESTUDO POR COMPARAÇÃO EXPERIMENTAL E
SIMULADA DE TRANSISTORES UTBB COM DIFERENTES
COMPRIMENTOS DE CANAL**

Trabalho de conclusão do Curso, apresentado para
obtenção do grau de TECNÓLOGO no Curso de
Tecnologia em Materiais, Processos e Componentes
Eletrônicos da Faculdade de Tecnologia de São Paulo,
FATEC-SP.

Orientador: Prof. Dr. Victor Sonnenberg

SÃO PAULO

2015

AGRADECIMENTOS

Gostaria de agradecer primeiramente a Deus, por ter me dado força, coragem e sabedoria, durante a realização deste trabalho.

Ao meu orientador, Prof. Dr. Victor Sonnenberg, devido ao imenso apoio e ensinamentos para a realização deste projeto.

Ao Me. Vitor Itocazu, por toda ajuda, colaboração e ensinamentos para a realização deste trabalho.

Aos meus pais, Eduardo Pereira da Silva e Vilma da Silva, que sempre acreditaram em meu potencial, me apoiando e incentivando a correr atrás dos meus objetivos, e que estão sempre aconselhando e guiando para que eu o siga o melhor caminho.

Ao meu irmão Eduardo Ricardo, que sempre serviu de exemplo, me apoiando e incentivando.

À minha amiga Helen Yoshida, pelo seu imenso apoio, conselhos, incentivos e companheirismo.

Ao meu namorado Edelson Venuto, pela ajuda, apoio e compreensão em todos os momentos.

Aos meus colegas de estágio, Eric Oliveira e Domenico Cainelli, pelos momentos de descontração enquanto eu escrevia este trabalho.

Aos meus amigos Anderson Matheus Alves, Christian Nemeth Macambira, Nathália Araújo da Silva e Thaís Silva Moreira Leite, que me acompanharam nesta incrível e cansativa jornada, estando sempre ao meu lado, em momentos de estudos e descontração, pelos conselhos e incentivos em todos os momentos.

E a todos os colegas do curso, que estiveram comigo durante estes anos de graduação.

*“O sucesso é ir de fracasso em fracasso
sem perder o entusiasmo. ”*

Winston Churchill

RESUMO

Este trabalho apresenta um estudo baseado na análise de dados experimentais e simulados de transistores UTBB SOI NMOSFET, com e sem a implantação do plano de terra (*ground plane* – GP).

Foram estudados quatro modelos de transistores, experimental (com e sem GP) e simulado (com e sem GP), e foi feita a comparação de transistores com seis diferentes comprimentos de canal, 10 μ m, 965, 465, 115, 70 e 50nm. Ao todo foram estudados doze transistores experimentais e doze simulados, resultando em um total de vinte e quatro transistores.

Os parâmetros utilizados para este trabalho, foram os valores de V_{GB} (tensão aplicada no substrato) fixados em -2; 0 e 2V, enquanto que o valor de V_{GF} (tensão aplicada na porta) variava de -1 a 2V. Com estes parâmetros estabelecidos foram extraídas as curvas $I_{DS} \times V_{GF}$, que foram a base do trabalho.

As análises feitas, foram de comparação entre os dispositivos simulados e experimentais. Para este trabalho foram analisados dois tipos principais de curvas:

- $I_{DS} \times V_{GF}$: foram feitas duas análises baseadas nessas curvas, a primeira foi comparando o nível de corrente entre os seis comprimentos de canal, onde a tendência da corrente (I_{DS}) com a diminuição do canal, é aumentar. Isto pode ser observado no gráfico, onde conforme o L diminui, as curvas na parte da região de sublimiar se deslocam mais para a esquerda, e é observada uma elevação nos níveis de corrente das regiões de saturação e tródo. Nesses gráficos, foram plotadas as curvas com os três valores de V_{GB} estudados e com os seis comprimentos de canal e analisados quatro gráficos, experimental (com e sem GP) e simulado (com e sem GP).

A segunda análise feita foi o estudo de cada comprimento de canal em particular comparando as curvas experimentais e simuladas, onde em um mesmo gráfico, foram plotadas as curvas experimentais e simuladas com os três valores V_{GB} . Nestes gráficos foi feita a comparação da inclinação da região de sublimiar e o deslocamento das curvas simuladas em relação às experimentais. Foram analisados doze gráficos para cada comprimento de canal, com e sem GP.

- $d^2I_{DS}/d^2V_{GF} \times V_{GF}$: essa curva foi utilizada para determinação da tensão de limiar (V_T) dos dispositivos estudados. Para a obtenção gráfica da tensão de limiar, faz-se a segunda derivada da corrente de dreno, e o ponto máximo da curva, corresponde ao valor de V_T .

Além destas duas curvas, foram analisadas as curvas de $V_T \times L$, onde foi analisada a variação da tensão de limiar em função do comprimento de canal, para os quatro modelos de dispositivos e $V_T \times V_{GB}$, onde foi feita a análise da tensão de limiar em função de V_{GB} , também para os quatro modelos de dispositivos.

Palavras-chaves: SOI, UTBB, plano de terra.

ABSTRACT

This paper presents a study based on experimental and simulated data analysis of a UTBB SOI nMOSFET transistors with and without ground plane (GP) implantation.

Were studied four models of transistors, experimental (with and without GP) and simulated (with and without GP) and was done a comparison of transistor with six different channel lengths, 10 μ m, 965, 465, 115, 70 and 50 nm. In all, were studied twelve experimental and twelve simulated transistors. Resulting in total twenty-four transistors.

The parameters used for this paper were the V_{GB} (applied voltage on the substrate) values set at -2; 0 and 2V, and the V_{GF} (applied voltage on the gate) values ranged from -1 to 2V. With these established parameters were extracted $I_{DS} \times V_{GF}$ curves, which were the basis of this paper.

The analyzes done were the comparison between simulated and experimental devices. For this study two main types of curves were analyzed:

- $I_{DS} \times V_{GF}$: two analyzes were made based on those curves, the first one was the comparison of the current level among the six channel lengths, where the trend of the current (I_{DS}) with decreasing channel is increased. This can be seen in the graph, where as L decreases, the curves in the subthreshold region move further to the left, and it is observed an elevation on current levels in the saturation and triode regions. In these graphs, the curves were plotted with the three V_{GB} values studied and the six channel lengths and were analyzed four graphs, experimental (with or without GP) and simulated (with or without GP).

The second analysis was the study of each particular channel length comparing the experimental and simulated curves, where in the same graph, the experimental and simulated curves were plotted with the three V_{GB} values. In these graphs it was made the comparison of the subthreshold slope region, and the displacement of the simulated curves relative to experimental. Twelve graphs were analyzed for each channel length, with or without GP.

- $d^2I_{DS}/d^2V_{GF} \times V_{GF}$: this curve was used to determine the threshold voltage (V_T) of the studied devices. To obtain the graphic of threshold voltage, were made the second derivative of the drain current and the maximum point of the curve corresponds to the value of V_T .

In addition to these two curves, were analyzed the $V_T \times L$ curves, where was analyzed the variation of the threshold voltage as a function of channel length for all four devices models and also the $V_{GB} \times V_T$ curves where were analyzed the threshold voltage as a function of V_{GB} variation, also for the four devices models.

Keywords: SOI, UTBB, Ground Plane.

LISTA DE ILUSTRAÇÕES

Figura 1 – Gráfico representativo da lei de Moore [2]	20
Figura 2 – Modelo de Transistor NMOS.	21
Figura 3 – Modelo de um transistor PMOS.	21
Figura 4 – Transistor NMOS com $V_{GS} > V_T$ e $V_{DS}=0$	22
Figura 5 – Transistor NMOS com $V_{GS} > V_T$ e $0 < V_{DS} < (V_{GS} - V_T)$	23
Figura 6 – Transistor NMOS com $V_{GS} > V_T$ e $V_{DS} = V_{GS} - V_T$	24
Figura 7 – Transistor NMOS com $V_{GS} > V_T$ e $V_{DS} > V_{GS} - V_T$	24
Figura 8 – Modelo de um transistor SOI nMOS.	26
Figura 9 – Transistor SOI com a representação das interfaces.	27
Figura 10 – Diagrama de faixa de energia do transistor SOI MOSFET parcialmente depletado.	28
Figura 11 – Diagrama de faixa de energia do transistor SOI MOSFET totalmente depletado. ...	30
Figura 12 – Perfil de um transistor SOI nMOS sem influência significativa do efeito de canal curto.	35
Figura 13 – Perfil de um transistor SOI nMOS com influência do efeito de canal curto.	35
Figura 14 – Variação da tensão de limiar na porta superior com a polarização do substrato, em um dispositivo SOI MOSFET totalmente depletado [11].	37
Figura 15 – Variação da tensão de limiar na porta superior com a polarização do substrato, em um dispositivo SOI MOSFET totalmente depletado, levando em consideração a queda de potencial no substrato [9].	39
Figura 16 – Modelo de um UTBB SOI nMOSFET.	40
Figura 17 – Transistor UTBB SOI com estrutura LDD.	42
Figura 18 – Dispositivo posto na gaiola de Faraday para a realização das medições.	44
Figura 19 – Imagem do microscópio: posicionamento das pontas de prova.	44
Figura 20 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50mV$) experimentais com GP para $L = 10\mu m$ a $50nm$	46
Figura 21 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50mV$) experimentais sem GP para $L = 10\mu m$ a $50nm$	47
Figura 22 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50mV$) simuladas com GP para $L = 10\mu m$ a $50nm$	47
Figura 23 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50mV$) simuladas sem GP para $L = 10\mu m$ a $50nm$	48
Figura 24 – Possíveis erros na estrutura LDD.	49
Figura 25 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50mV$) experimental e simulada com GP para $L = 10\mu m$	51
Figura 26 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50mV$) experimental e simulada sem GP para $L = 10\mu m$	51

Figura 27 – Curvas I_{DS} x V_{GF} ($V_{DS}=50mV$) experimental e simulada com GP para $L = 965nm$	52
Figura 28 – Curvas I_{DS} x V_{GF} ($V_{DS}=50mV$) experimental e simulada sem GP para $L = 965nm$	52
Figura 29 – Curvas I_{DS} x V_{GF} ($V_{DS}=50mV$) experimental e simulada com GP para $L = 70nm$.	53
Figura 30 – Curvas I_{DS} x V_{GF} ($V_{DS}=50mV$) experimental e simulada sem GP para $L = 70nm$.	53
Figura 31 – Gráfico para obtenção de V_T experimental para $L = 965nm$ sem GP.	55
Figura 32 – Gráfico para obtenção de V_T simulado para $L = 965nm$ sem GP.....	55
Figura 33 – Gráfico de V_T x L com $V_{GB} = 0V$	57
Figura 34 – Gráfico de V_T x V_{GB} com $V_{GB} = -2; 0$ e $2V$ para $L = 10\mu m$	57
Figura 35 – Curvas I_{DS} x V_{GF} ($V_{DS}=50mV$) experimental e simulada com GP para $L = 465nm$	61
Figura 36 – Curvas I_{DS} x V_{GF} ($V_{DS}=50mV$) experimental e simulada sem GP para $L = 465nm$	61
Figura 37 – Curvas I_{DS} x V_{GF} ($V_{DS}=50mV$) experimental e simulada com GP para $L = 115nm$	62
Figura 38 – Curvas I_{DS} x V_{GF} ($V_{DS}=50mV$) experimental e simulada sem GP para $L = 115nm$	62
Figura 39 – Curvas I_{DS} x V_{GF} ($V_{DS}=50mV$) experimental e simulada com GP para $L = 50nm$.	63
Figura 40 – Curvas I_{DS} x V_{GF} ($V_{DS}=50mV$) experimental e simulada sem GP para $L = 50nm$.	63
Figura 41 – Gráfico da segunda derivada da corrente de dreno por V_{GF} , para obtenção de V_T experimental.	64
Figura 42 – Método para obtenção de V_T experimental.....	65
Figura 43 – Extração de V_T após análise FFT.....	65
Figura 44 – Gráfico para obtenção de V_T experimental para $L = 965nm$ com GP.	66
Figura 45 – Gráfico para obtenção de V_T simulada para $L = 965nm$ com GP.	66
Figura 46 – Gráfico para obtenção de V_T simulado para $L = 465nm$ com GP.	67
Figura 47 – Gráfico para obtenção de V_T simulado para $L = 465nm$ sem GP.....	67
Figura 48 – Gráfico para obtenção de V_T experimental para $L = 465nm$ com GP.	68
Figura 49 – Gráfico para obtenção de V_T experimental para $L = 465nm$ sem GP.	68
Figura 50 – Gráfico para obtenção de V_T simulado para $L = 465nm$ com GP.	69
Figura 51 – Gráfico para obtenção de V_T simulado para $L = 465nm$ sem GP.....	69
Figura 52 – Gráfico para obtenção de V_T experimental para $L = 115nm$ com GP.	70
Figura 53 – Gráfico para obtenção de V_T experimental para $L = 115nm$ sem GP.	70

Figura 54 – Gráfico para obtenção de V_T simulado para $L = 115\text{nm}$ com GP.	71
Figura 55 – Gráfico para obtenção de V_T simulado para $L = 115\text{nm}$ sem GP.....	71
Figura 56 – Gráfico para obtenção de V_T experimental para $L = 70\text{nm}$ com GP.	72
Figura 57 – Gráfico para obtenção de V_T experimental para $L = 70\text{nm}$ sem GP.	72
Figura 58 – Gráfico para obtenção de V_T simulado para $L = 70\text{nm}$ com GP.	73
Figura 59 – Gráfico para obtenção de V_T simulado para $L = 70\text{nm}$ sem GP.....	73
Figura 60 – Gráfico para obtenção de V_T experimental para $L = 50\text{nm}$ com GP.	74
Figura 61 – Gráfico para obtenção de V_T experimental para $L = 50\text{nm}$ sem GP.	74
Figura 62 – Gráfico para obtenção de V_T simulado para $L = 50\text{nm}$ com GP.	75
Figura 63 – Gráfico para obtenção de V_T simulado para $L = 50\text{nm}$ sem GP.....	75
Figura 64 – Gráfico de $V_T \times V_{GB}$ com $V_{GB} = -2; 0 \text{ e } 2\text{V}$ para $L = 965\text{nm}$	76
Figura 65 – Gráfico de $V_T \times V_{GB}$ com $V_{GB} = -2; 0 \text{ e } 2\text{V}$ para $L = 465\text{nm}$	77
Figura 66 – Gráfico de $V_T \times V_{GB}$ com $V_{GB} = -2; 0 \text{ e } 2\text{V}$ para $L = 115\text{nm}$	77
Figura 67 – Gráfico de $V_T \times V_{GB}$ com $V_{GB} = -2; 0 \text{ e } 2\text{V}$ para $L = 70\text{nm}$	78
Figura 68 – Gráfico de $V_T \times V_{GB}$ com $V_{GB} = -2; 0 \text{ e } 2\text{V}$ para $L = 50\text{nm}$	78

LISTA DE TABELAS

Tabela 1 – Dados dos dispositivos experimentais e simulados.....	56
--	----

LISTA DE ABREVIATURAS E SIGLAS

CI	Circuitos integrados
FDSOI	<i>Fully depleted SOI</i> (SOI totalmente depletado)
GP	<i>Ground Plane</i> (Plano de Terra)
Imec	<i>Interuniversity Microelectronics Centre</i> (Centro interuniversitário de microeletrônica)
LDD	<i>Lightly Doped Drain</i> (Dreno levemente dopado)
MOS	<i>Metal-Oxide-Semiconductor</i> (Metal-Oxido-Semicondutor)
MOSFET	<i>Metal-Oxide-Semiconductor-Field-Effect-Transistor</i> (Transistor de efeito de campo Metal-Oxido-Semicondutor)
NFDSOI	<i>Near Fully Depleted SOI</i> (SOI quase totalmente depletado)
PDSOI	<i>Partially depleted SOI</i> (SOI parcialmente depletado)
SCE	<i>Short channel effect</i> (efeito de canal curto)
SOI	<i>Silicon-on-Isulator</i> (Silício sobre Isolante)
SOS	<i>Silicon-on-Saphire</i> (Silício sobre Safira)
UTBB	<i>UltraThin Body and Buried Oxide</i> (Camada de silício e óxido enterrado ultrafinos)
UTBOX	<i>Ultra Thin Buried Oxide</i> (Óxido enterrado ultrafino)

LISTA DE SÍMBOLOS

C_{it1}	Capacitância de armadilhas de interface óxido de porta/camada de silício [F/cm ²]
C_{it2}	Capacitância de armadilhas de interface camada de silício/óxido enterrado [F/cm ²]
C_{ox}	Capacitância do óxido por unidade de área [F/cm ²]
C_{ox1}	Capacitância do óxido de porta por unidade de área [F/cm ²]
C_{ox2}	Capacitância do óxido enterrado por unidade de área [F/cm ²]
C_{Si}	Capacitância na camada de silício por unidade de área [F/cm ²]
E_C	Nível de energético da faixa de condução [eV].
E_{SAT}	Campo crítico para a saturação da velocidade [3.10 ⁴ V/cm]
E_F	Nível de fermi [eV].
E_{FB}	Nível de fermi do substrato [eV]
E_{FM}	Nível de fermi do metal [eV]
E_g	Largura da faixa proibida [eV].
E_i	Nível intrínseco do semiconductor [eV]
E_M	Campo elétrico no dreno [N/C]
E_V	Nível energético da faixa de valência [eV]
I_D	Corrente de dreno [A]
I_{DS}	Corrente entre fonte e dreno [A]
k	Constante de Boltzmann [1,38066.10 ⁻²³ J/K]
L	Comprimento do canal
N_A	Concentração de impurezas aceitadoras [cm ⁻³]
N_{aSUB}	Concentração de dopantes no substrato [cm ⁻³]
N_{it}	Densidade de armadilhas de interface [eV ⁻¹ .cm ⁻²].
Q	Carga elementar do elétron [C]
Q_D	Carga total de depleção na camada de silício por unidade de área [C/cm ²]
Q_{d1}	Carga de depleção controlada pela porta [C/cm ²]
Q_{d2}	Carga de depleção controlada pela região de depleção de fonte e dreno [C/cm ²]
Q_{INV}	Carga total de inversão por unidade de área na primeira interface [C/cm ²]
Q_{it}	Cargas de armadilhas de interface [C/cm ²]
Q_{ox}	Densidade de cargas fixas no óxido [C/cm ²]
Q_{ox1}	Densidade de cargas fixas no óxido de porta [C/cm ²]
Q_{ox3}	Densidade de cargas fixas no substrato [C/cm ²]
S	Inclinação de sublimiar [mV/dec]
V_{BS}	Tensão entre o substrato e a fonte [V]

V_D	Tensão no dreno [V]
V_{DS}	Tensão entre fonte e dreno [V]
V_{DSAT}	Tensão de saturação no dreno [V]
V_{FB}	Tensão de faixa plana [V]
V_{FB1}	Tensão de faixa plana na primeira interface [V]
V_{FB2}	Tensão de faixa plana na segunda interface [V]
V_{FB3}	Tensão de faixa plana na terceira interface [V]
V_G	Tensão na porta [V]
V_{GB}	Tensão aplicada no substrato (porta de trás) [V]
V_{GBmax}	Tensão máxima aplicada no substrato (porta de trás) [V]
V_{GBmin}	Tensão mínima aplicada no substrato (porta de trás) [V]
V_{GF}	Tensão aplicada na porta (da frente) do transistor [V]
V_{GS}	Tensão aplicada na porta de um MOSFET [V]
V_T	Tensão de limiar [V]
V_{T3}	Tensão de limiar na terceira interface [V]
V_{TF}	Tensão de limiar da interface filme de óxido de porta/Silício [V]
T	Temperatura [K]
t_{oxb}	Espessura do óxido enterrado [nm]
t_{oxf}	Espessura do óxido de porta [nm]
t_{si}	Espessura da camada de silício [nm]
W	Largura do canal
$X_{dmáx}$	Largura máxima da região de depleção
X_j	Profundidade de junção
γ	Constante de efeito de corpo [$V^{1/2}$]
ϵ_{Si}	Permissividade do silício no vácuo [F/cm]
ϕ_F	Potencial de Fermi do semiconductor [V]
ϕ_{MS}	Diferença da função trabalho entre metal e substrato [V]
ϕ_{MS1}	Diferença da função trabalho entre metal de porta e camada de silício [V]
ϕ_{MS2}	Diferença entre camada de silício e substrato [V]
ϕ_{S1}	Potencial de superfície da primeira interface [V]
ϕ_{S2}	Potencial de superfície da segunda interface [V]
ϕ_{SUB}	Potencial do substrato [V]
μ	Mobilidade dos portadores

SUMÁRIO

1. INTRODUÇÃO.....	18
1.1 Apresentação	18
1.2 Objetivo	19
2. EMBASAMENTO TEÓRICO	20
2.1 Lei de Moore	20
2.2 MOSFET	21
2.3 Tecnologia SOI	25
2.3.1 Tensão de Limiar	30
2.3.2 Inclinação de sublimiar (S)	32
2.3.3 Efeito de canal curto	34
2.3.4 Efeito de corpo (γ)	35
2.4 Transistores UTBB.....	39
2.4.1 Implantação do plano de terra (<i>Ground Plane – GP</i>)	40
2.4.2 Estrutura LDD (<i>lightly doped drain</i>)	41
3. DADOS EXPERIMENTAIS.....	43
3.1 Características do dispositivo.....	43
3.2 Procedimentos experimentais.....	43
4. SIMULAÇÕES.....	45
5. RESULTADOS E ANÁLISE	46
5.1 Análise do nível de corrente.....	46
5.2 Análise experimental x simulada	50
5.3 Análise da tensão de limiar	54
6. CONCLUSÕES	58
REFERÊNCIAS	59
APÊNDICE A – CURVAS EXPERIMENTAIS E SIMULADAS	61
APÊNDICE B – DETERMINAÇÃO DA TENSÃO DE LIMIAR	64

APÊNDICE C – CURVAS V_T X V_{GB}	76
APÊNDICE D – LINHA DE COMANDO DO SIMULADOR	79

1. INTRODUÇÃO

1.1 Apresentação

Em 1925, Julius Edgar Lilienfeld patenteou o transistor, descrevendo um dispositivo similar ao transistor de efeito de campo (FET), porém, não havia nenhuma descrição de um dispositivo construído em sua patente sobre sua descoberta, e então em 1934, Oskar Heil patenteou um dispositivo similar. E em 1959 o primeiro transistor de efeito de campo de metal, óxido e semicondutor, mais conhecido como MOSFET, foi apresentado por um grupo da Bell Labs, D. Kahng e M. Atalla e a interface Si/SiO₂ destes transistores é de boa qualidade, porém, esses transistores apresentavam baixa estabilidade, fazendo com que seu uso em grande escala fosse atrasado em 10 anos. [1]

A evolução da microeletrônica foi baseada na criação dos circuitos integrados (CI's), que entraram no mercado em 1962.

Segundo a Lei de Moore, a quantidade de transistores numa mesma área deve dobrar a cada dois anos, com o intuito de reduzir o tamanho dos circuitos integrados e obter um melhor desempenho de processadores, como será visto no item 2.1 [2].

Para um melhor desempenho e para suprir a demanda de desenvolvimento de novas tecnologias, os dispositivos que compõem os CI's precisavam ter suas dimensões reduzidas. Como o principal componente de um CI é o transistor MOS, ao tentar reduzir suas dimensões, uma série de efeitos parasitários ocorrem, prejudicando a integridade de seu funcionamento, sendo necessária a implantação de novas tecnologias, que serão abordadas nos itens 2.3 e 2.4.

Efeitos como o de canal curto, o aumento da inclinação de sublimiar, entre outros são alguns dos maiores desafios apresentados para essas novas tecnologias. Devido a tais efeitos, o transistor MOS deixa de funcionar corretamente, de modo que seu desempenho e a capacidade de projetos de circuito integrados com dimensões reduzidas sejam afetados.

Com o objetivo de minimizar esses efeitos aliado ao avanço da tecnologia, novos modelos de transistores começaram a ser estudados.

Um dos avanços mais significativos em termo de performance foi a construção do transistor sobre uma lâmina SOI (*Silicon on insulator* – silício sobre isolante). Essa tecnologia consiste na construção do transistor em cima de uma camada de óxido enterrada abaixo da região de canal, como será visto no item 2.3.

Essa camada de óxido tem a função de isolar a região ativa do resto do substrato, substituindo, por exemplo, as trincheiras, reduzindo assim alguns efeitos parasitários, como o tiristor parasitário (*latch up*), capacitância de junção, efeito de canal curto, entre outros.

Dentre as várias evoluções tecnológicas em relação a dimensão, composição e material e geometria, hoje em dia pode-se destacar duas frentes de trabalho, a primeira consiste em um transistor 3D, e é utilizado em empresas como IBM, a outra frente de estudo é o UTBB (*Ultra Thin Body and Buried Oxide*) que consiste na redução das espessuras do óxido enterrado e da camada de silício em que o dispositivo será construído, além de manter a tecnologia planar.

Nos dispositivos UTBB, uma melhoria que foi proposta, é a implantação de uma camada altamente dopada, abaixo do óxido enterrado, chamada de Plano de Terra (*Ground Plane – GP*) que será abordada com mais detalhes no item 2.4.1.

1.2 Objetivo

Este trabalho tem como objetivo o estudo e análise por comparação entre as simulações e os dados experimentais obtidos de transistores UTBB SOI com diferentes comprimentos de canal (L).

Serão analisados transistores com comprimentos de canal de 50, 70, 115, 465 e 965 nm e 10 μm e com espessura do óxido de porta (t_{oxf}) de 5 nm, espessura da camada de silício (t_{si}) de 6 nm e espessura do óxido enterrado (t_{oxb}) de 18nm.

Serão analisadas as curvas $I_{\text{DS}} \times V_{\text{GF}}$ ($V_{\text{DS}}=50\text{mV}$) para diferentes V_{GB} (polarização do substrato), de modo a analisar o nível de corrente de acordo com o comprimento de canal e para fazer a comparação entre os dispositivos simulados e experimentais, e também a análise da influência da implantação do plano de terra.

A partir destas mesmas curvas, utilizando o método da segunda derivada, serão determinadas as tensões de limiar destes dispositivos.

2. EMBASAMENTO TEÓRICO

2.1 Lei de Moore

A lei de Moore surgiu em 1965 por Gordon Earl Moore, o então presidente da Intel. Essa lei prevê que o número de transistores em um chip, colocados em uma mesma área dobraria a cada 18 ou 24 meses. Isso significa que neste período, os chips de silício que estão em computadores, smartphones, servidores e outros aparelhos, podem rodar mais rápido e consumir menos energia à medida que seguem de geração em geração.

A figura 1 apresenta o gráfico da lei de Moore, demonstrando o aumento do número de transistores em uma área, de acordo com um determinado período de tempo, nela, temos representados as curvas para os seguintes casos: para o número de transistores dobrando a cada 18 meses, dobrando a cada dois anos (lei de Moore) e a evolução dos processadores da Intel®. Ao analisar o gráfico percebe-se que a evolução dos processadores da Intel®, até 2005, esteve dentro do proposto por Moore.

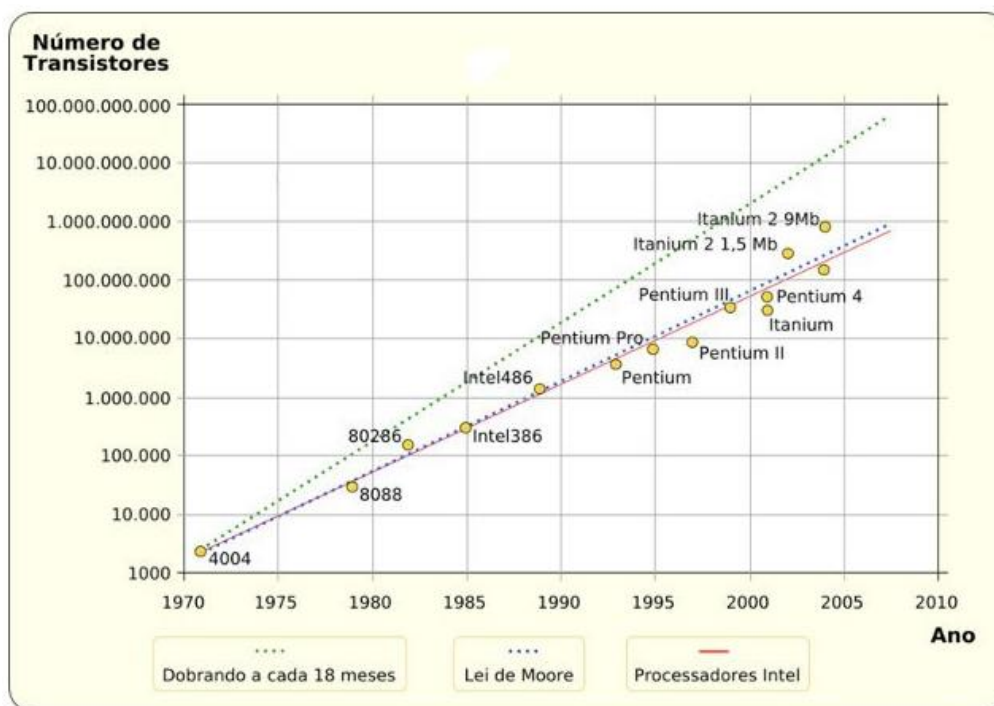


Figura 1 – Gráfico representativo da lei de Moore [2] .

Visando a continuidade dessa lei, novos estudos são feitos para reduzir o tamanho dos componentes de um circuito integrado e para reduzir os efeitos parasitários que possam ocorrer.

2.2 MOSFET

O transistor MOSFET (Metal-Oxide-Semiconductor-Field-Effect-Transistor ou transistor de efeito de campo metal-óxido-semicondutor) teve seu princípio básico proposto em torno de 1925 por Julius Edgar Lilienfeld, porém só foi fabricado em 1960 na Bell Labs, por John Atalla e D. Kahng que o fabricou baseando-se nas teorias de William Shockley. [1]

O transistor MOS é um dispositivo de 4 terminais, sendo estes: fonte, dreno, porta e substrato e possui um canal tipo N (NMOS) ou tipo P (PMOS), conforme apresentado nas figuras 2 e 3 respectivamente.

O transistor MOS pode ser utilizado como amplificador de tensão, quando operando na região de saturação, ou quando em tródo podem ser usados como resistor, cuja resistência pode ser controlada com a tensão aplicada na porta (V_{GF}).

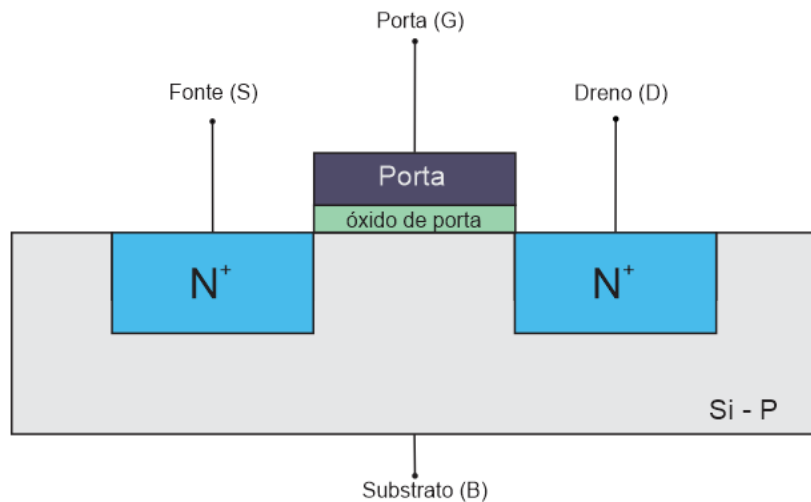


Figura 2 – Modelo de Transistor NMOS.

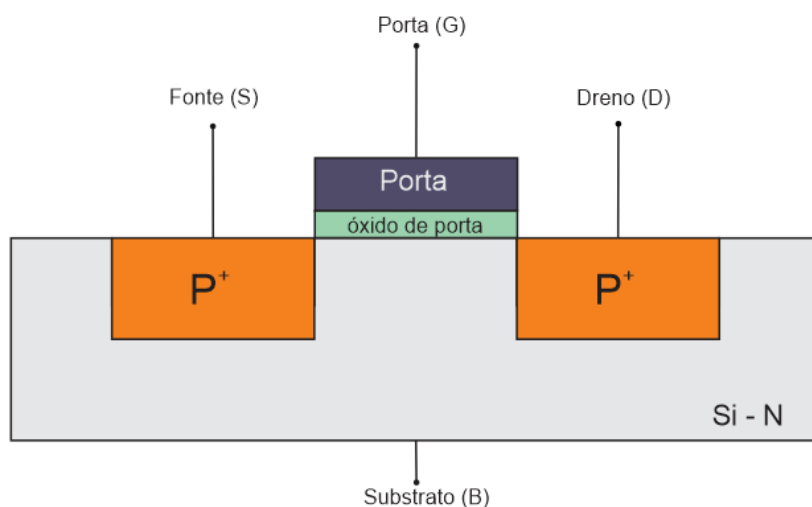


Figura 3 – Modelo de um transistor PMOS.

As principais características elétricas de um transistor MOS são determinadas em função das da largura de canal (W), do comprimento de canal (L) e da espessura da camada de óxido em cima do canal (óxido de porta). A diminuição das dimensões faz com que novos desafios apareçam, como por exemplo a utilização de novos processos e novos materiais (e o uso de outros já conhecidos, mas que não eram usados devido a algumas dificuldades de processo, mas que estão sendo superadas).

Quando não há nenhuma tensão aplicada à porta do transistor, ele se comporta como dois diodos opostos e em série. Ao se aplicar uma tensão positiva (considerando um transistor NMOS, para um PMOS é o oposto) na porta (V_{GS}), maior que V_T (tensão de limiar) será gerada a região de canal, ligando a fonte ao dreno. Quanto maior for V_{GS} , maior será o acúmulo de cargas livres negativas no canal, e então a condutividade do canal será proporcional a $(V_{GS} - V_T)$. Se não houver tensão entre fonte e dreno ($V_{DS}=0$), não haverá corrente entre fonte e dreno ($I_{DS}=0$).

Na figura 4 está representado o transistor NMOS atuando no modo de inversão, onde $V_{GS} > V_T$ e $V_{DS} = 0$. Quando neste modo, o transistor está apto a conduzir corrente ($V_{DS} \neq 0$), devido a formação do canal.

A formação do canal ocorre quando é aplicada uma tensão na porta maior que a tensão de limiar, no caso, uma tensão positiva, que gera um campo elétrico que repele as lacunas, que são os portadores majoritário do substrato tipo P, e atraem os elétrons (portadores minoritários). Dessa forma, há uma acumulação de elétrons na interface silício e óxido de porta, formando o canal por onde passa a corrente entre fonte e dreno, se $V_{DS} \neq 0$.

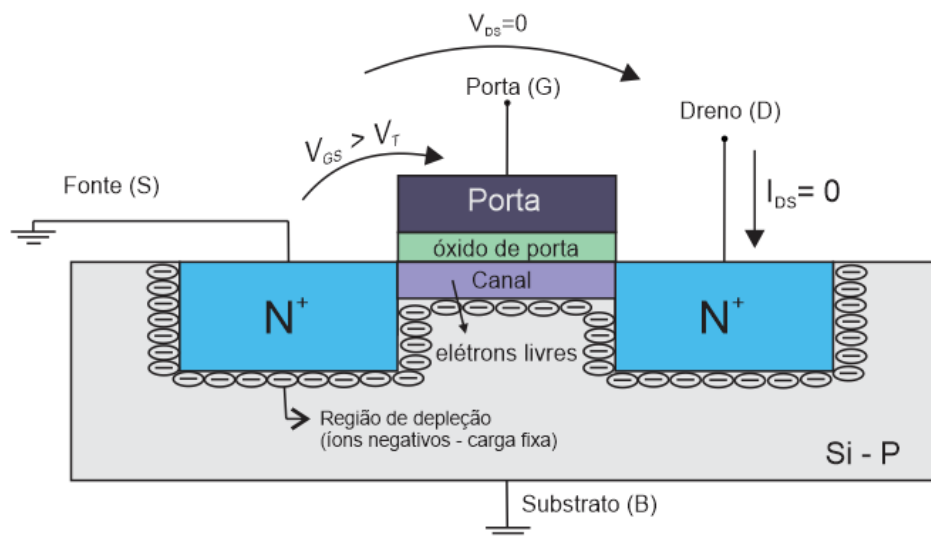


Figura 4 – Transistor NMOS com $V_{GS} > V_T$ e $V_{DS}=0$.

Ainda considerando um transistor NMOS, quando for aplicada uma pequena tensão entre fonte e dreno ($0 < V_{DS} < V_{GS} - V_T$), irá aparecer uma pequena corrente I_{DS} , que será proporcional à V_{DS} . Como o potencial que é aplicado ao dreno é maior que ao aplicado à fonte, a camada de portadores de inversão nesse lado é menor (cargas na região do canal). Quando neste modo, o transistor opera na região de triodo.

Na figura 5, está representado o transistor operando na região de triodo. Quando neste modo, o aumento da tensão V_{DS} começa a provocar pequenas alterações no formato do canal, conforme V_{DS} aumenta, o canal começa a ser estrangulado, pois a junção PN (dreno – substrato) está reversamente polarizada, aumentando a quantidade de íons fixos (região de depleção) ao redor do dreno.

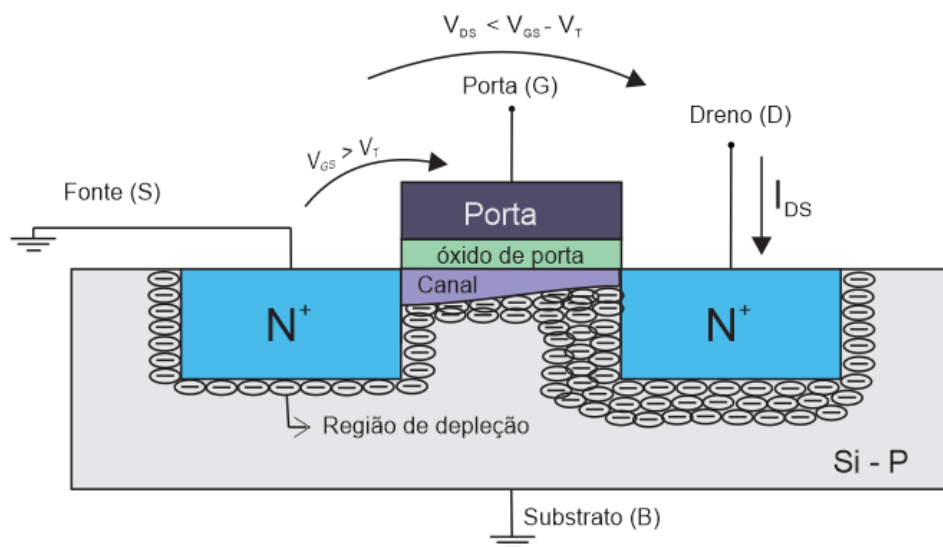


Figura 5 – Transistor NMOS com $V_{GS} > V_T$ e $0 < V_{DS} < (V_{GS} - V_T)$.

Ao aumentar V_{DS} , a corrente de dreno aumentará, até que a extremidade do canal, próxima à região de dreno começa a ficar estreita, pois a tensão entre o dreno e o substrato, próximo à extremidade do dreno, começa a diminuir. Quando $V_{DS} = V_{GS} - V_T$, haverá um pinçamento (*pinch off*) próximo à região de dreno e então, a corrente de dreno (I_D) passa a ser constante para um valor fixo de V_{GS} , pois o aumento de V_{DS} provoca um aumento da resistência do canal proporcional a V_{DS} , ou seja, a corrente fica constante. Desta forma, diz-se que o transistor está operando na região de transição triodo/saturação, como mostrado na figura 6 [3] [4].

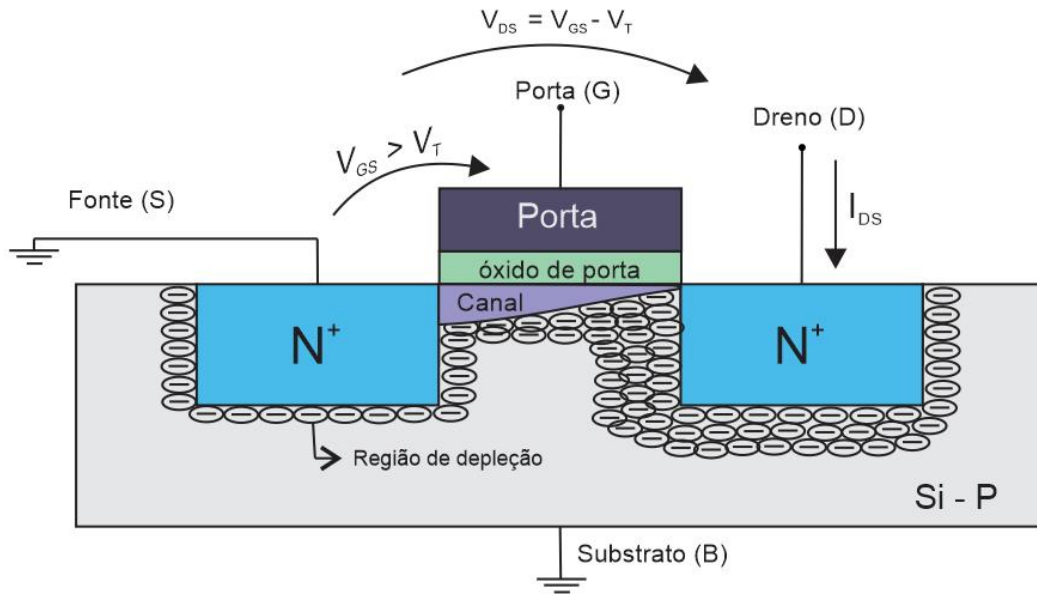


Figura 6 – Transistor NMOS com $V_{GS} > V_T$ e $V_{DS} = V_{GS} - V_T$.

Na figura 7, o transistor está na região de saturação. Quando neste modo, qualquer valor de tensão V_{DS} não irá aumentar a corrente de dreno, pois o campo elétrico nessa região é constante. Porém a corrente ainda é contínua devido ao campo elétrico existente entre fonte e dreno.

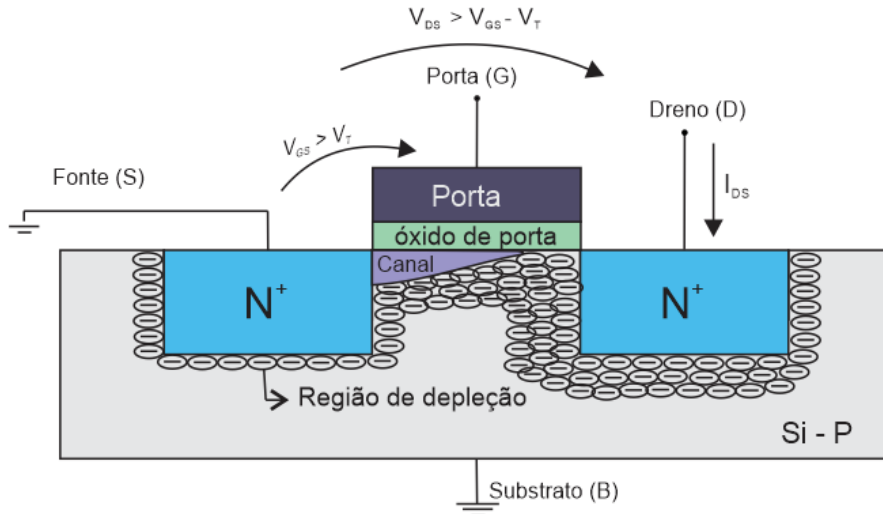


Figura 7 – Transistor NMOS com $V_{GS} > V_T$ e $V_{DS} > V_{GS} - V_T$.

Nas figuras 4,5,6 e 7 as regiões de depleção são representadas somente na região do substrato tipo P pois são mais significativas enquanto que a depleção na região de dreno é desprezível (maior concentração).

Desta forma, pode-se dizer que o transistor opera em três diferentes regiões, que são definidas de acordo com os valores de tensão aplicada:

- Região de Corte

Quando $V_{GS} < V_T$ e $I_{DS} = 0$, para qualquer valor de V_{DS}

- Região de Tródo

Quando $V_{GS} > V_T$ e $V_{DS} < (V_{GS} - V_T)$; o canal está formado e a corrente I_{DS} é dada por:

$$I_{DS} = \mu \cdot C_{ox} \left(\frac{W}{L} \right) \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right) \quad (1)$$

- Região de Saturação

Quando $(V_{GS} - V_T) > 0$ e $V_{DS} > (V_{GS} - V_T)$

$$I_{DS} = \mu \cdot C_{ox} \left(\frac{W}{L} \right) \cdot \frac{(V_{GS} - V_T)^2}{2} \quad (2)$$

Onde:

μ é a mobilidade dos portadores

C_{ox} é a capacitância do óxido de porta por unidade de área

W é a largura do canal

L é o comprimento do canal

2.3 Tecnologia SOI

Na década de 1960 surgiu o SOS (*Silicon on Sapphire* – silício sobre safira), para substituir o substrato convencional de silício devido aos efeitos de radiações ionizantes. Neste modelo é desenvolvida uma camada epitaxial de silício sobre um substrato monocristalino de Safira. Porém, na época o uso desta tecnologia ficou restrita a ambientes sujeitos à radiação e altas temperaturas e ao uso militar. Essa restrição foi devido à alta densidade de defeitos entre a interface silício-safira e a baixa mobilidade dos portadores [5].

A partir da década de 1980 a tecnologia SOI começou a ser estudada mais profundamente, para que pudesse ser fabricada.

A tecnologia SOI passou a ser utilizada para aprimorar o desempenho dos transistores MOS e reduzir os efeitos parasitários que surgiram com a redução das dimensões dos dispositivos.

Nesta tecnologia, uma camada de óxido enterrado é utilizada como isolante entre a região de silício ativo do resto do substrato, e a região de canal, devido à presença do óxido (isolação dielétrica) permanece eletricamente flutuando.

Na figura 8 está representada a estrutura de um transistor SOI nMOSFET, apresentando a camada de óxido enterrado, que isola a região do silício ativo do resto do substrato.

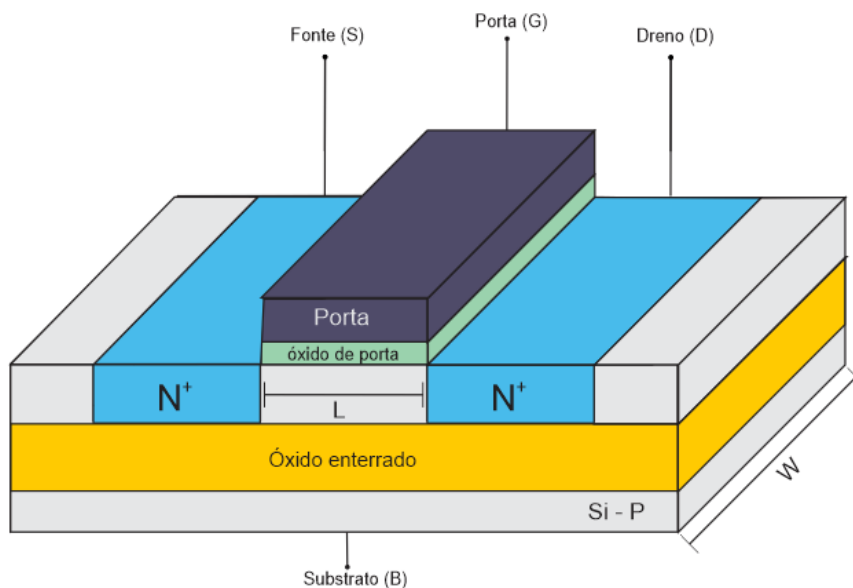


Figura 8 – Modelo de um transistor SOI nMOS.

Os transistores SOI totalmente depletados possuem características elétricas aprimoradas como, aumento da mobilidade, aumento da transcondutância, diminuição das capacitâncias parasitárias de fonte e dreno, redução da inclinação de sublimar, menor sensibilidade à variação de temperatura, eliminação do efeito tiristor parasitário (*latch-up*), aplicação em tensões elevadas e menor consumo de potência [5]. E por possuírem capacitâncias de junção bastante reduzidas em relação aos transistores MOSFET, os dispositivos SOI se tornam mais velozes.

Apesar de apresentar muitas vantagens, o transistor SOI também apresenta algumas desvantagens, como o elevado custo de fabricação, efeito de elevação abrupta de corrente, reduzida tensão de ruptura de dreno devido ao efeito de corpo flutuante, que ativa o transistor bipolar parasitário associado ao transistor MOS e a forte dependência da tensão de limiar de porta com a espessura e a concentração de dopantes da camada de silício.

Devido a presença do óxido enterrado, o dispositivo SOI possui duas portas, a da frente (V_{GF}) e a de trás (no substrato V_{GB}).

Ao estudar um transistor SOI, deve-se analisar as interfaces para se obter um melhor entendimento sobre seu funcionamento. Há três interfaces a serem estudadas, mostradas na figura 9.

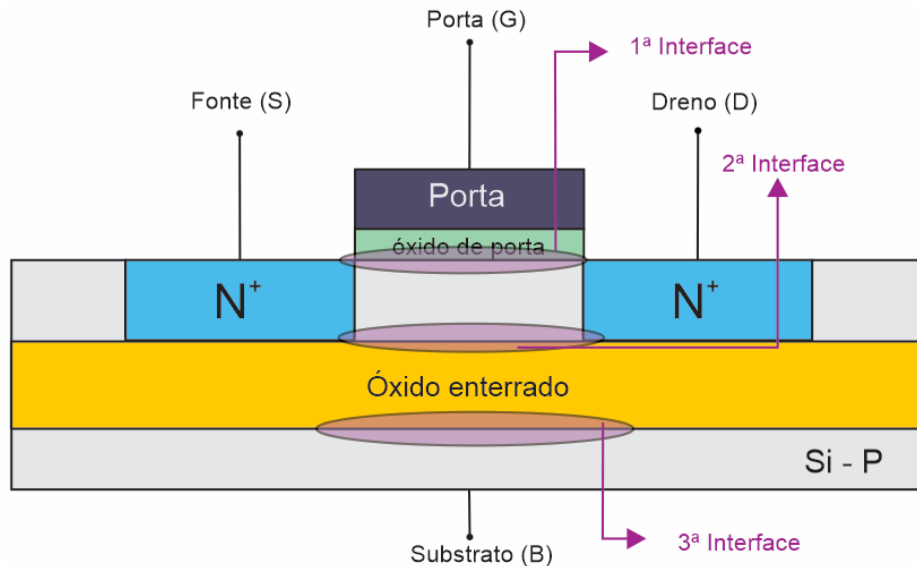


Figura 9 – Transistor SOI com a representação das interfaces.

Na primeira interface (óxido de porta-semicondutor) é a região onde ocorre a formação do canal, quando aplicado um potencial entre porta e fonte. Na segunda interface (semicondutor-óxido enterrado) também pode ocorrer a formação de canal, devido à tensão aplicada no substrato, e a corrente que passa nesse canal pode ser maior que a corrente do canal da primeira interface pois, a tensão aplicada no substrato é maior que a tensão aplicada na porta. O ideal para este dispositivo é que essa corrente da segunda interface seja nula.

E na terceira interface (óxido enterrado-substrato) ocorre a formação de uma região de depleção, que acaba aumentando a espessura efetiva do óxido enterrado.

Os transistores SOI MOSFETS podem funcionar em três modos principais: parcialmente depletados (PDSOI – *Partially depleted SOI*) e totalmente depletados (FDSOI – *fully depleted SOI*) e quase totalmente depletados (NFDSOI – *Near fully depleted SOI*).

- **Parcialmente Depletado (PDSOI)**

Nestes dispositivos, a espessura da camada de silício é maior que a soma das larguras das regiões de depleção máxima ($X_{d_{máx}}$) proveniente da primeira e da segunda interface ($t_{si} > 2X_{d_{máx}}$), ou seja, não há contato entre as regiões de depleção, existindo entre elas uma região

neutra, chamada de corpo, que se for ligada por um contato elétrico, o dispositivo passa a ter as mesmas características de um MOS convencional. Porém, se o corpo permanecer eletricamente flutuante, o dispositivo irá apresentar alguns efeitos parasitários, como o efeito de corpo flutuante, o efeito *kink* e também, um transistor bipolar NPN parasita com base aberta entre a fonte e o dreno, de modo a influenciar nas propriedades elétricas do dispositivo [6] [7].

A figura 10 apresenta o diagrama de faixa de energia para o transistor parcialmente depletado.

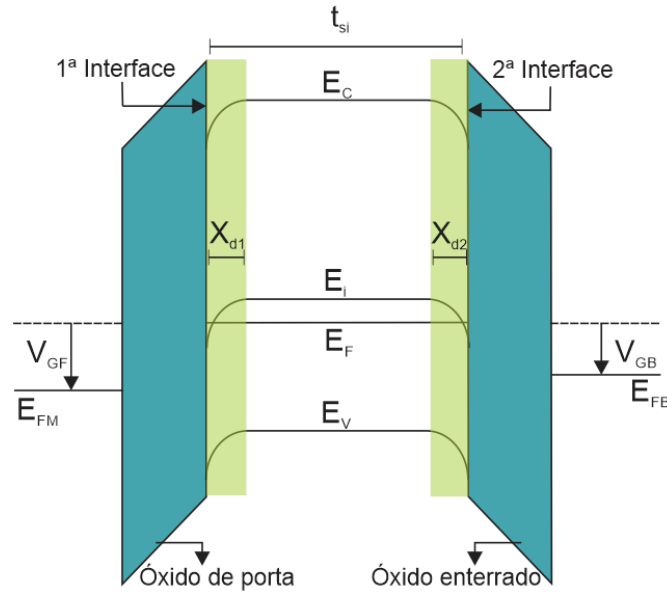


Figura 10 – Diagrama de faixa de energia do transistor SOI MOSFET parcialmente depletado.

Sendo t_{si} a espessura da camada de silício ativa, E_C e E_V níveis energéticos da faixa de condução e valência respectivamente, E_F nível de fermi, E_i nível intrínseco do semiconductor, E_{FB} e E_{FM} níveis de fermi do substrato e do metal respectivamente, X_{d1} e X_{d2} larguras da regiões de depleção da primeira interface e segunda interface respectivamente.

A largura máxima da região de depleção ($X_{dmáx}$) é dada por:

$$X_{dmáx} = \sqrt{\frac{2\varepsilon_{si}2\phi_F}{qN_A}} \quad (3)$$

Sendo ε_{si} a permissividade do silício no vácuo, ϕ_F o potencial de fermi do substrato, q a carga elementar do elétron e N_A a concentração de dopantes aceitadores.

E o potencial de Fermi é dado por:

$$\phi_F = \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) \quad (4)$$

Sendo k a constante de boltzmann, T a temperatura em Kelvin e n_i a concentração de dopantes intrínsecos.

- **Totalmente Depletado (FDSOI)**

Nestes dispositivos, a espessura da camada de silício é menor que a largura da região de depleção máxima ($t_{si} < X_{d_{máx}}$), ficando então, totalmente depletada, quando aplicada uma tensão de limiar na porta, que independe da tensão no substrato.

Neste modo, o transistor apresenta melhores características elétricas, como menor variação da tensão de limiar, melhor inclinação de sublimiar, menor efeito de canal curto, maior mobilidade, entre outras [6].

Cada interface pode operar em três modos: acumulação, depleção ou inversão. De modo a existir nove modos possíveis de operação em um transistor SOI totalmente depletado, como função da tensão de entrada aplicada na porta do dispositivo SOI MOSFET (porta da frente, V_{GF}) e da tensão de entrada aplicada no substrato (porta de trás, V_{GB}). Porém, muitos desses modos de operação não são de uso prático.

A presença das camadas de acumulação, depleção ou inversão é também uma função da tensão de dreno. Assim, a 2ª interface pode por exemplo, estar acumulada próximo à fonte e depletada próximo ao dreno.

Caso a 2ª interface esteja em acumulação, as mais vantajosas propriedades deste dispositivo podem ser perdidas [7].

A figura 11 apresenta o diagrama de faixa de energia para o transistor totalmente depletado.

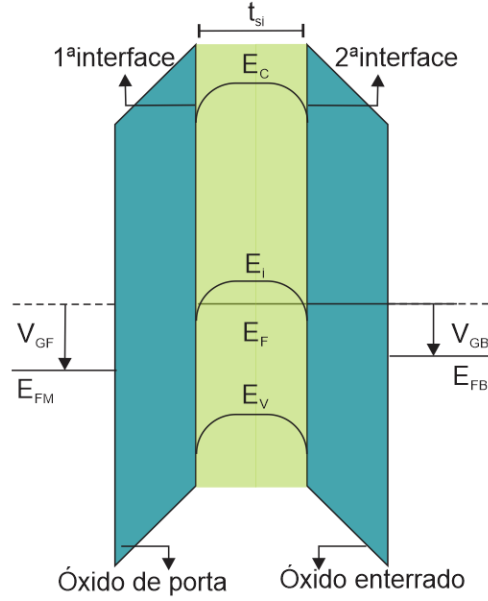


Figura 11 – Diagrama de faixa de energia do transistor SOI MOSFET totalmente depletado.

- **Quase totalmente depletado (NFDSOI)**

Dispositivos com essa configuração são um intermediário entre o parcialmente depletado e o totalmente depletado, ou seja, a espessura da camada de silício está entre $X_{dm\acute{a}x}$ e $2X_{dm\acute{a}x}$ ($X_{dm\acute{a}x} < t_{si} < 2X_{dm\acute{a}x}$).

Dependendo da polarização aplicada no substrato (V_{GB}), não haverá contato entre as regiões de depleção da 1ª e 2ª interface, ou se a 2ª interface for neutra ou acumulada, o transistor irá se comportar como um dispositivo parcialmente depletado. A polarização no substrato também poderá induzir uma sobreposição nas regiões de depleção entre as 1ª e 2ª interfaces, fazendo com que o dispositivo tenha um comportamento totalmente depletado.

2.3.1 Tensão de Limiar

A tensão de limiar (V_T) pode ser definida como o valor de tensão aplicada na porta, que irá atrair os portadores minoritários para a região de canal, formando uma camada de inversão forte. Ou seja, é a tensão necessária para que possibilite a condução de corrente entre fonte e dreno.

Em dispositivos MOS convencionais, essa tensão pode ser calculada através da equação (5):

$$V_T = V_{FB} + 2\phi_F + \frac{qN_A X_{dm\acute{a}x}}{C_{ox}} \quad (5)$$

Sendo, V_{FB} a tensão de faixa plana, ϕ_F o potencial de fermi do substrato, q a carga elementar do elétron, N_A a concentração de dopantes aceitadores, $X_{dmáx}$ a largura máxima da região de depleção, C_{ox} a capacitância do óxido de porta por unidade de área.

A equação (5) depende da tensão de faixa plana (V_{FB}), que é obtida através da equação (6):

$$V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} \quad (6)$$

Sendo ϕ_{MS} a diferença da função trabalho entre metal e semiconductor e Q_{ox} a densidade de cargas fixas no óxido.

Para dispositivos SOI totalmente depletados, onde há uma interação entre as regiões de depleção da 1ª e 2ª interfaces, a tensão de limiar pode ser calculada através do modelo Lim & Fossum [8], onde as equações (7) e (8) relacionam a interação das tensões aplicadas na porta e no substrato com os potenciais das interfaces.

$$V_{GF} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \cdot \phi_{S1} - \frac{C_{Si}}{C_{ox1}} \cdot \phi_{S2} - \frac{\frac{1}{2}Q_D + Q_{INV1}}{C_{ox1}} \quad (7)$$

$$V_{GB} = \phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + \left(\frac{C_{Si}}{C_{ox2}}\right) \cdot \phi_{S1} + \left(1 + \frac{C_{Si}}{C_{ox2}}\right) \cdot \phi_{S2} - \frac{\frac{1}{2}Q_D + Q_{S2}}{C_{ox2}} \quad (8)$$

Sendo, V_{GF} a tensão aplicada na porta da frente, ϕ_{MS1} a diferença da função trabalho entre o metal de porta e camada de silício, ϕ_{MS2} a diferença da função trabalho entre a camada de silício e o óxido enterrado, Q_{ox1} densidade efetiva de cargas da primeira interface, Q_{ox2} densidade efetiva de cargas da segunda interface, C_{ox1} capacitância do óxido de porta por unidade de área, C_{ox2} capacitância do óxido enterrado por unidade de área, C_{Si} capacitância da camada de silício por unidade de área, ϕ_{S1} e ϕ_{S2} potenciais de superfície da primeira e segunda interfaces respectivamente, Q_D carga total de depleção na camada de silício por unidade de área, Q_{INV} carga de inversão por unidade de área na primeira interface e Q_{S2} carga na segunda interface por unidade de área.

A partir das equações (7) e (8) é possível obter diferentes equações para a tensão de limiar, que variam de acordo com a polarização da primeira interface em função da condição da segunda interface. Sendo assim, temos:

- Segunda interface em acumulação ($\phi_{S1} = 2\phi_F$, $\phi_{S2} = 0$ e $Q_{INV1} = 0$)

$$V_{TF,acc2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) 2\phi_F - \frac{Q_D}{2C_{ox1}} \quad (9)$$

- Segunda interface em inversão ($\phi_{S1} = 2\phi_F$, $\phi_{S2} = 2\phi_F$ e $Q_{INV1} = 0$)

$$V_{TF,INV2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F - \frac{Q_D}{2C_{ox1}} \quad (10)$$

- Segunda interface em depleção ($0 < \phi_{S2} < 2\phi_F$, $\phi_{Si} = 2\phi_F$ e $Q_{S2} = 0$)

$$V_{TF,depl2} = V_{TF,acc2} - \frac{C_{Si} \cdot C_{ox2}}{C_{ox1} \cdot (C_{Si} + C_{ox2})} \cdot (V_{GB} - V_{GB,ac}) \quad (11)$$

Sendo $V_{TF,acc2}$, $V_{TF,inv2}$ e $V_{TF,depl2}$ as tensões de limiar quando a segunda interface está em acumulação, inversão e depleção, respectivamente.

2.3.2 Inclinação de sublimiar (S)

A inclinação de sublimiar é um parâmetro utilizado para determinar o quão rápido o transistor passa do estado de corte para o estado de condução e é determinada como o inverso da inclinação da curva $\log I_{DS} \times V_{GS}$, para $V_{GS} > V_T$, conforme a equação (12):

$$S = \frac{dV_{GS}}{d(\log I_{DS})} \quad (12)$$

Para dispositivos SOI totalmente depletados, com a segunda interface em depleção, temos a equação completa (13) para a inclinação da primeira interface:

$$S_F = \frac{dV_{GS}}{d(\log I_{DS})} = \frac{kT \ln 10}{q} \left[\left(1 + \frac{C_{it1}}{C_{ox1}} + \frac{C_{Si}}{C_{ox1}}\right) - \frac{\frac{C_{Si}}{C_{ox2}} \cdot \frac{C_{Si}}{C_{ox1}}}{1 + \frac{C_{it2}}{C_{ox2}} + \frac{C_{Si}}{C_{ox2}}} \right] \quad (13)$$

Sendo, C_{it1} e C_{it2} as capacitâncias das armadilhas de interface da primeira e da segunda interface respectivamente. Sendo $C_{it} = q^2 N_{it}$, onde N_{it} é a densidade das armadilhas de interface. Desprezando essas armadilhas de interface, temos a equação (14):

$$S_F = \frac{kT \ln 10}{q} \left[1 + \frac{C_{Si} \cdot C_{ox2}}{C_{ox1} (C_{Si} + C_{ox2})} \right] \quad (14)$$

Para dispositivos SOI totalmente depletados, com a segunda interface em acumulação, obtêm-se a equação (15) para a inclinação de sublimar na primeira interface:

$$S_F = \frac{kT \ln 10}{q} \left[1 + \frac{C_{Si} + C_{it1}}{C_{ox1}} \right] \quad (15)$$

Desprezando as armadilhas de interface C_{it} na equação (14), obtêm-se a equação (16) generalizada:

$$S_F = \frac{kT \ln 10}{q} (1 + \alpha) \quad (16)$$

Onde α é determinado por diferentes equações, em função do tipo de funcionamento do transistor, temos então equações (17), (18) e (19):

- Transistor MOS ou SOI MOSFET parcialmente depletado

$$\alpha = \alpha_{MOS} = \frac{C_D}{C_{ox1}} \quad (17)$$

- Transistor SOI MOSFET totalmente depletado com a segunda interface em acumulação

$$\alpha = \alpha_{acc} = \frac{C_{Si}}{C_{ox1}} \quad (18)$$

- Transistor SOI MOSFET totalmente depletado com a segunda interface depletada

$$\alpha = \alpha_{depl} = \frac{C_{Si} \cdot C_{ox2}}{C_{ox1} \cdot (C_{Si} + C_{ox2})} \quad (19)$$

Portanto, pode-se notar que o valor de α varia de acordo com a polarização da segunda interface, sendo assim, temos:

$$\alpha_{depl} < \alpha_{MOS} < \alpha_{acc}$$

E os valores para inclinação de sublimiar seguem a mesma sequência:

$$S_{depl} < S_{MOS} < S_{acc}$$

Na literatura temos que o menor valor para a inclinação de sublimiar em dispositivos SOI totalmente depletados em temperatura ambiente ($T=300K$), é de aproximadamente 60 mV/dec e em dispositivos MOS convencional, também em temperatura ambiente, esse valor é em torno de 80 até 120 mV/dec [6] [9].

2.3.3 Efeito de canal curto

O efeito de canal curto (*SCE – Short Channel Effect*) ocorre quando o comprimento de canal dos transistores é reduzido, pois o controle das cargas da região de depleção pela tensão aplicada na porta (V_{GB}), passam a sofrer influência das regiões de depleção de fonte e dreno. Esta influência causa efeitos indesejáveis, como a redução da tensão de limiar e o aumento da inclinação de sublimiar [10].

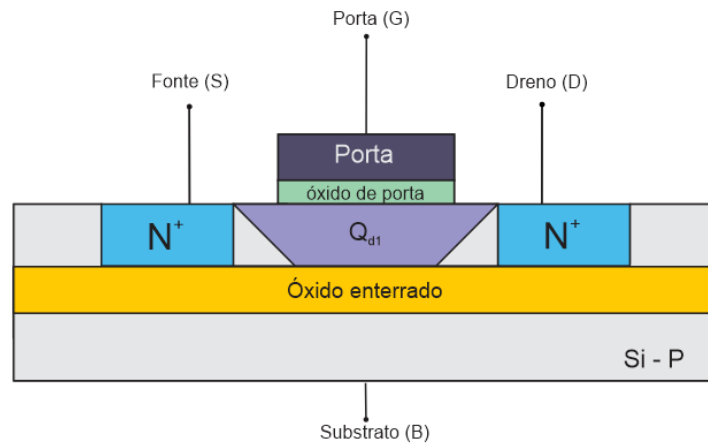


Figura 12 – Perfil de um transistor SOI nMOS sem influência significativa do efeito de canal curto.

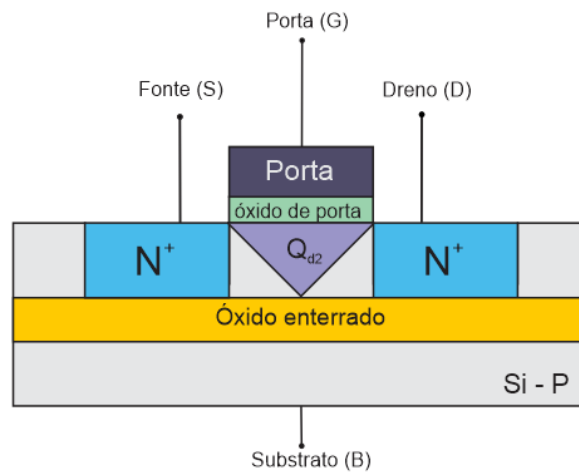


Figura 13 – Perfil de um transistor SOI nMOS com influência do efeito de canal curto.

Pode-se observar na Figura 12 que o perfil de cargas do transistor SOI MOSFET sem influência significativa do efeito de canal curto é trapezoidal, onde temos Q_{d1} , que é a carga controlada pela porta. E na Figura 13, o perfil observado já com o efeito de canal curto é triangular, onde Q_{d2} é a carga controlada pela porta, porém, devido a influência das cargas das regiões de depleção de fonte e dreno serem mais significativas, elas passam a ter mais controle das cargas da região do canal, reduzindo o controle pela porta. [4] [10].

2.3.4 Efeito de corpo (γ)

O efeito de corpo para um dispositivo de substrato convencional pode ser definido como a relação da dependência da tensão de limiar com a polarização do substrato. Para um

dispositivo SOI, a relação é a mesma, dependência da tensão de limiar com a polarização do substrato (V_{GB}) [7].

Para um transistor de substrato convencional NMOS, temos a tensão de limiar expressa na equação (20):

$$V_T = V_{FB} + 2\Phi_F + \frac{\sqrt{2 \cdot q \cdot \epsilon_{Si} \cdot N_A \cdot (2\Phi_F)}}{C_{ox}} \quad (20)$$

Caso a polarização no substrato seja reversa, a tensão de limiar aumenta com a raiz quadrada da polarização do substrato e a equação (20) toma a seguinte forma:

$$V_T(V_{BS}) = V_{FB} + 2\Phi_F + \frac{\sqrt{2 \cdot q \cdot \epsilon_{Si} \cdot N_A \cdot (2\Phi_F + |V_{BS}|)}}{C_{ox}} \quad (21)$$

Subtraindo-se a equação (21) da (20), tem-se:

$$V_T(V_{BS}) - V_T(V_{BS} = 0) = \gamma \left(\sqrt{2\Phi_F + |V_{BS}|} - \sqrt{2\Phi_F} \right) \quad (22)$$

Define-se a constante de corpo γ como:

$$\gamma = \frac{\sqrt{2 \cdot q \cdot \epsilon_{Si} \cdot N_A}}{C_{ox}} \quad (23)$$

Quanto menor for o valor de γ , menor será variação da tensão de limiar com relação à polarização reversa do substrato, ou seja, quanto menor o valor de γ , melhor. Um grande efeito de corpo reduz a eficiência do controle da tensão V_{GF} sobre a corrente do transistor, do qual a fonte não está diretamente conectada a terra [4] [11].

- **SOI MOSFET parcialmente depletado**

Para dispositivos SOI MOSFET parcialmente depletado, o efeito de corpo, se houver contato de corpo é igual ao de um MOSFET de convencional.

Se o corpo estiver flutuando, o potencial do corpo será determinado pelo efeito capacitivo e pela corrente na junção PN, deste modo, têm-se a variação da tensão de limiar em função desses parâmetros.

Para dispositivos operando neste modo, a tensão de limiar não varia com V_{GB} , pois não há acoplamento entre a primeira e a segunda interfaces [9] [7].

- **SOI MOSFET totalmente depletado**

Para dispositivos operando neste modo, o efeito de corpo pode ser obtido derivando as equações (9), (10) e (11) obtendo as equações (24), (25) e (26):

$$\frac{dV_{TF,acc2}}{dV_{GB}} = 0 \quad (24)$$

$$\frac{dV_{TF,inv2}}{dV_{GB}} = 0 \quad (25)$$

$$\frac{dV_{TF,depl2}}{dV_{GB}} = -\frac{C_{Si} \cdot C_{ox2}}{C_{ox1} \cdot C_{Si} \cdot C_{ox2}} = \frac{-\epsilon_{Si} \cdot C_{ox2}}{C_{OX1} \cdot t_{Si} \cdot C_{Si} + \epsilon_{Si}} \quad (26)$$

Com uma polarização positiva aplicada no substrato, com a 2ª interface em inversão, ϕ_{S2} será aproximadamente $2\phi_F$. Do mesmo modo, com uma polarização suficientemente negativa aplicada na porta de trás, com a 2ª interface em acumulação, ϕ_{S2} será aproximadamente zero. Nestas condições, têm-se que a tensão aplicada no substrato (V_{GB}), interfere na tensão de limiar da 1ª interface, conforme visto na figura 14.

Porém, para dispositivos reais, quando a 2ª interface estiver em inversão, ϕ_{S2} pode exceder $2\phi_F$ ou quando a 2ª interface estiver acumulada, ϕ_{S2} pode ser menor do que 0, como pode ser visto na figura 14.

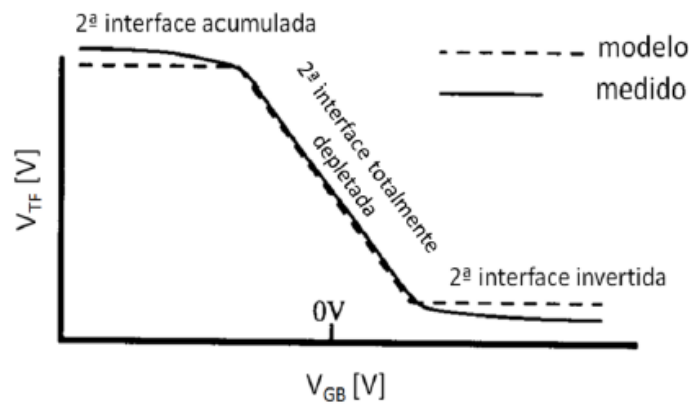


Figura 14 – Variação da tensão de limiar na porta superior com a polarização do substrato, em um dispositivo SOI MOSFET totalmente depletado [11].

A dependência da tensão de limiar com a polarização do substrato aumenta caso a espessura do óxido enterrado (t_{oxb}) seja menor, tornando a capacitância do óxido enterrado mais significativa. Isto é importante para o caso dos transistores UTBB, que será visto no item 2.4.

Ao analisar a variação do potencial no substrato (3ª interface – ϕ_{SUB}) leva-se em consideração as equações (27) a (29), onde é incluído o potencial no substrato [12].

$$V_{GF} = V_{FB1} + \frac{q \cdot N_a \cdot t_{Si}}{2 \cdot C_{ox1}} + \left(\frac{\epsilon_{Si}}{t_{Si} \cdot C_{ox1}} + 1 \right) \cdot \phi_{S1} - \frac{\epsilon_{Si}}{t_{Si} \cdot C_{ox1}} \cdot \phi_{S2} - \frac{Q_{inv}}{C_{ox1}} \quad (27)$$

$$V_{GB} = V_{FB2} + \frac{q \cdot N_a \cdot t_{Si}}{2 \cdot C_{ox2}} + \left(\frac{\epsilon_{Si}}{t_{Si} \cdot C_{ox2}} + 1 \right) \cdot \phi_{S2} - \frac{\epsilon_{Si}}{t_{Si} \cdot C_{ox2}} \cdot \phi_{S1} - \phi_{SUB} \quad (28)$$

$$\phi_{SUB} = \left[\frac{-\sqrt{2 \cdot q \cdot N_{aSUB} \cdot \epsilon_{Si}}}{2 C_{ox2}} + \sqrt{\left(\frac{2 \cdot q \cdot N_{aSUB} \cdot \epsilon_{Si}}{4 \cdot C_{ox2}^2} - V_{FB3} \right) + (\phi_{S2} - V_{GB})} \right]^2 \quad (29)$$

Sendo V_{FB1} , V_{FB2} e V_{FB3} as tensões de faixa plana da primeira, segunda e terceira interfaces respectivamente, ϕ_{SUB} o potencial do substrato e N_{aSUB} , concentração de dopantes no substrato

É possível obter os valores máximos e mínimos para V_{GB} , nas seguintes condições expressas pelas equações (30) e (31):

$$\phi_{SUB} = 0 \rightarrow V_{GB} = V_{GB\max} = \phi_{S2} - V_{FB3} \quad (30)$$

$$\phi_{SUB} = 2 \cdot \phi_{FB} \rightarrow V_{GB} = V_{GB\min} = \phi_{S2} - V_{T3} \quad (31)$$

Sendo V_{FB3} e V_{T3} (tensão de limiar na terceira interface) expressos pelas equações, (32) e (33), respectivamente:

$$V_{FB3} = \phi_{MS} - \frac{Q_{ox3}}{C_{ox2}} = \frac{kT}{q} \ln \frac{N_a}{N_{aSUB}} - \frac{Q_{ox3}}{C_{ox2}} \quad (32)$$

$$V_{TF3} = V_{FB3} + 2\phi_{FB} + \frac{\sqrt{2 \cdot q \cdot N_{aSUB} \cdot \epsilon_{Si} \cdot 2\phi_{FB}}}{C_{ox2}} \quad (33)$$

Desprezando o termo Q_{S2} e incluindo ϕ_{SUB} , a equação 28 é reescrita, e apresentada na equação (34):

$$V_{GB} = \phi_{MS} - \frac{Q_{ox2}}{C_{ox2}} + \frac{q \cdot N_a \cdot t_{Si}}{2 \cdot C_{ox2}} + \left(\frac{\epsilon_{Si}}{t_{Si} \cdot C_{ox2}} + 1 \right) \cdot \phi_{S2} - \frac{\epsilon_{Si}}{t_{Si} \cdot C_{ox2}} \cdot \phi_{S1} - \phi_{SUB} \quad (34)$$

Na figura 15 está representado um comparativo da curva da tensão de limiar na 2ª interface, em função da variação da tensão no substrato, com ϕ_{SUB} variando de 0V a $2\phi_F$ [9].

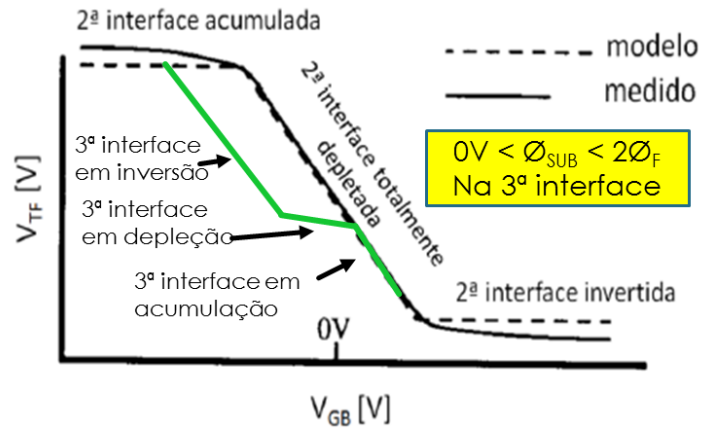


Figura 15 – Variação da tensão de limiar na porta superior com a polarização do substrato, em um dispositivo SOI MOSFET totalmente depletado, levando em consideração a queda de potencial no substrato [9].

2.4 Transistores UTBB

O transistor UTBB SOI (*Ultra-Thin-Body-and-Buried-Oxide Silicon-on-Insulator*) é uma das frentes promissoras da tecnologia planar. Na tecnologia UTBB, as espessuras das camadas de silício ativo e de óxido enterrado são ultrafinas (menores que 20nm), e seu funcionamento é igual à de um transistor planar FD SOI, porém, devido às estas finas camadas ocorre um forte acoplamento entre as interfaces, resultando em um melhor controle de cargas diminuindo os efeitos de canal curto.

O emprego da camada de óxido enterrado ultrafina gera um forte acoplamento entre a primeira e a segunda interface, o que reduz o efeito de canal curto e a barreira de dreno induzida [13].

Além disso, é possível construir em um mesmo dispositivo UTBB, circuitos de baixo consumo de potência e alta velocidade, devido às múltiplas tensões de limiar, que é possível devido as diferentes polarizações do substrato [13].

A tensão de limiar nesses dispositivos pode ser facilmente controlada pela tensão aplicada no substrato (V_{GB}), devido as finas camadas, que geram um forte acoplamento da porta com o substrato [9].

Na figura 16 está representado um modelo de transistor UTBB SOI NMOSFET, apresentando a implantação da camada de plano de terra abaixo do óxido enterrado, e a redução da espessura dessas regiões, e da de silício ativo.

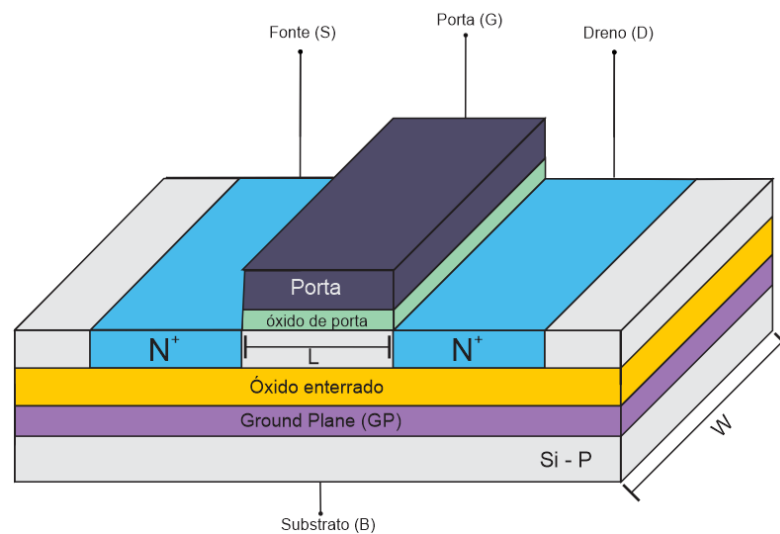


Figura 16 – Modelo de um UTBB SOI nMOSFET.

Como dito no item 2.3, os transistores SOI podem operar em três modos, parcialmente depletado, totalmente depletado e quase totalmente depletado, porém os dispositivos UTBB SOI devido às suas finas camadas de silício ativo e óxido enterrado, só operam no modo totalmente depletado.

2.4.1 Implantação do plano de terra (*Ground Plane – GP*)

A implantação do plano de terra, trata-se de uma camada mais dopada (no caso, aproximadamente 10^{18} cm^{-3}), abaixo do óxido enterrado.

Essa região mais dopada tem como função diminuir a região de depleção formada abaixo do óxido enterrado, pois, de acordo com a equação (3), temos que ao aumentar a concentração de dopantes, $X_{dm\acute{a}x}$ diminui, e quanto menor for $X_{dm\acute{a}x}$, essa região irá atuar como

uma porta, contribuindo para o controle das cargas do canal formado pela tensão aplicada no substrato.

A região de depleção formada abaixo do óxido enterrado interfere no controle das cargas, pois acaba aumentando a espessura efetiva do óxido.

2.4.2 Estrutura LDD (*lightly doped drain*)

Na indústria de semicondutores, a dimensão dos dispositivos vem diminuindo continuamente. O comprimento de canal, a profundidade de junção e a espessura do óxido de porta diminuem enquanto que a dopagem do canal aumenta. Esse escalamento é necessário para aumentar a condução de corrente, mantendo uma certa tensão de limiar e diminuindo a corrente de fuga. Porém ao se reduzir a profundidade de junção e a espessura do óxido de porta, é gerado um elevado campo elétrico próximo ao dreno [14].

Com a equação (35), é possível relacionar o máximo campo elétrico no dreno, com os parâmetros do dispositivo:

$$E_M = \frac{(V_D - V_{DSAT})}{\sqrt{3t_{oxf} X_j}} \quad (35)$$

$$V_{DSAT} = \frac{(V_G - V_T)L.E_{SAT}}{V_G - V_T + L.E_{SAT}} \quad (36)$$

Sendo E_M o máximo campo elétrico no dreno, V_D a tensão no dreno, V_{DSAT} a tensão de saturação do dreno, t_{oxf} a espessura do óxido de porta, X_j a profundidade de junção, L o comprimento efetivo de canal e E_{SAT} o campo crítico para a saturação da velocidade ($3 \cdot 10^4 \text{V/cm}$) [14].

Por meio das equações (35) e (36) pode-se notar que ao reduzir a espessura do óxido de porta, a profundidade de junção e o comprimento efetivo do canal, o campo elétrico no dreno aumenta [14].

O elevado campo elétrico próximo ao dreno faz com os elétrons no canal ganhem muita energia (*hot electrons*), fazendo com que estes ionizem por impacto os portadores presentes na região de canal. A ionização por impacto pode fazer com que os elétrons sejam injetados no óxido de porta, causando sua degradação [15].

A estrutura LDD surgiu para reduzir os efeitos decorrentes do elevado campo elétrico, que ocorre devido a diminuição do comprimento de canal, para uma mesma tensão de alimentação. O campo elétrico numa junção PN é dado em função do potencial aplicado e das concentrações dos materiais que as compõe. Deste modo, para reduzir o campo elétrico deve-se reduzir a concentração das junções, porém ao reduzir as concentrações de fonte e dreno, há uma elevação da resistência série associada ao dispositivo, causando uma menor condução de corrente [16].

Deste modo, para reduzir o efeito do elevado campo elétrico e sem elevar muito a resistência série, foi criada uma extensão das regiões de fonte e dreno, porém menos dopada (N^-), como pode ser visto na figura 16, onde está representado um modelo do transistor UTBB SOI NMOSFET com a implementação da estrutura LDD.

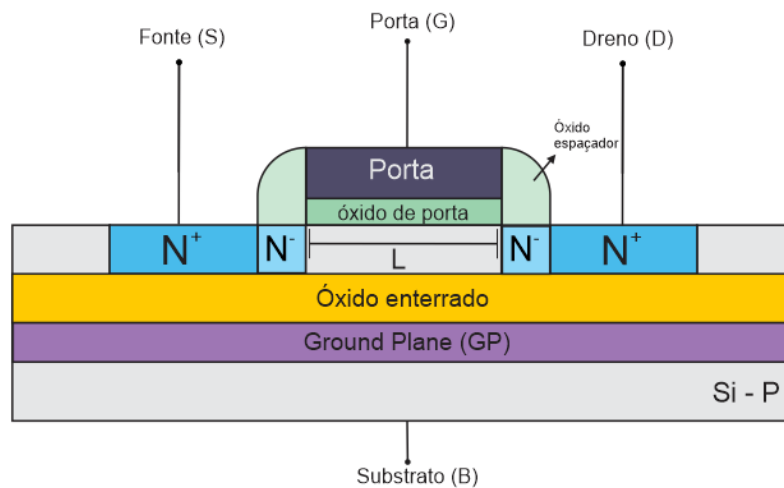


Figura 17 – Transistor UTBB SOI com estrutura LDD.

A estrutura LDD é formada utilizando o óxido espaçador (*spacer oxide*), que é uma estrutura dielétrica localizada ao lado da porta do dispositivo. Os espaçadores funcionam para auxiliar a fabricação das junções rasas da fonte e do dreno, que são as extensões entre o canal e a fonte e o dreno, além disso, o óxido espaçador serve para isolar eletricamente a região da porta e isolá-la das regiões de fonte e dreno.

O óxido espaçador pode ser feito com os seguintes materiais dielétricos: SiO_2 , Si_3N_4 ou SiON [15].

3. DADOS EXPERIMENTAIS

3.1 Características do dispositivo

Os dispositivos UTBB estudados neste trabalho foram fabricados pelo centro de pesquisa imec da Bélgica. As características dos dispositivos estudados são: espessura do óxido de porta (t_{oxf}) de 5nm, espessura do óxido enterrado (t_{oxb}) de 18nm, espessura da camada de silício (t_{si}) de 6nm, largura de canal (W) de 1 μm , material de porta TiN e com diferentes comprimentos de canal (L): 50, 70, 115, 465, 965 nm e 10 μm , com e sem a implantação do plano de terra (GP). Os transistores possuem LDD.

A dopagem do substrato destes dispositivos é aproximadamente 1.10^{15}cm^{-3} (intrínseco), existindo dispositivos sem e com a implantação do plano de terra. Nos dispositivos com GP foi feita uma implantação de boro formando uma região dopada de aproximadamente 1.10^{18}cm^{-3} .

3.2 Procedimentos experimentais

As medidas foram realizadas no laboratório (LSI – USP). Para realizar as medidas foi utilizado o equipamento Agilent® B1500, um dos mais modernos do mercado.

Para realizar as medidas nos transistores, a lâmina foi colocada dentro de uma gaiola de Faraday, para evitar intervenções eletromagnéticas e eletrostáticas na medida, posicionada em cima do *chuck* (porta amostra) onde um sistema à vácuo faz com que a lâmina não se mova durante as medidas elétricas.

A figura 18 apresenta a foto do sistema de medida utilizado.

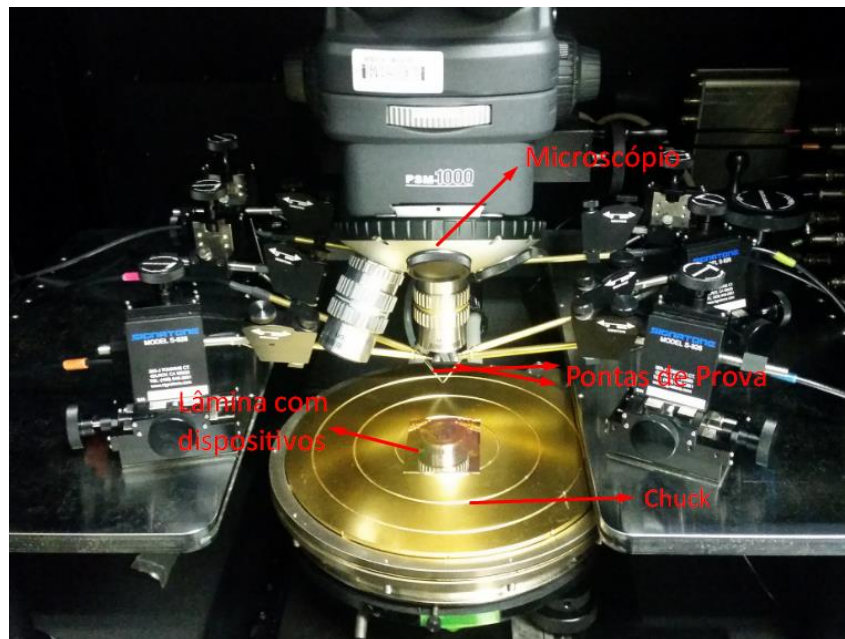


Figura 18 – Dispositivo posto na gaiola de Faraday para a realização das medições.

Para a realização das medidas, foram utilizadas três pontas de provas, a primeira que é utilizada para aplicar tensão na porta (V_{GF}), e as outras duas para medir a corrente entre fonte e dreno como visto na figura 19. Além das 3 pontas de prova, um quarto terminal é acoplado junto ao *chuck* para aplicar tensão no substrato (V_{GB}).

Para alinhar as pontas de provas na porta, na fonte e no dreno, foi utilizado um microscópio, já acoplado dentro da gaiola. Após posicionar as pontas, com o auxílio do microscópio, as medidas foram feitas.

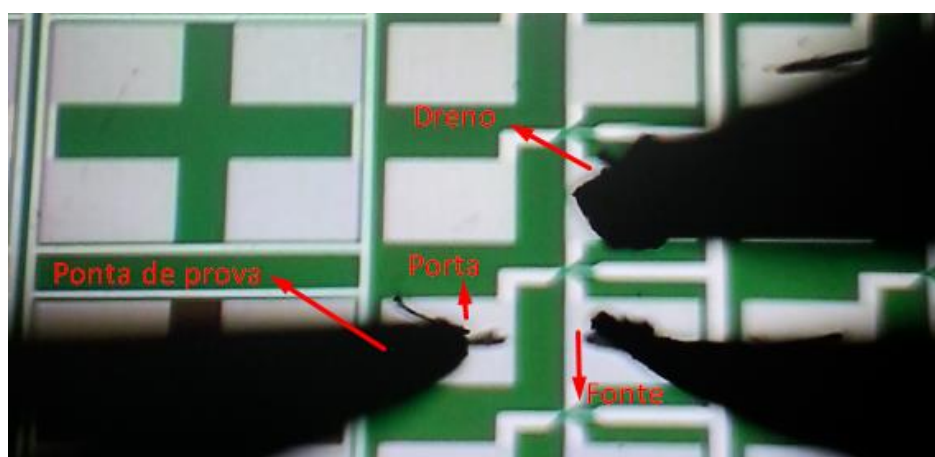


Figura 19 – Imagem do microscópio: posicionamento das pontas de prova.

Foram realizadas medidas da corrente de dreno em função da tensão de porta ($I_{DS} \times V_{GF}$) para diferentes valores de V_{GB} (-2, 0 e 2V).

4. SIMULAÇÕES

Para realizar as simulações, foi utilizado o Sentaurus®, neste programa são utilizados diferentes modelos que caracterizam o dispositivo a ser simulado. Para este trabalho, os dispositivos a serem simulados foram transistores com e sem implantação de plano de terra e com diferentes comprimentos de canal.

Foram utilizados os seguintes modelos para simulação:

- **PhuMob (Philips Unified Mobility Model):** Descreve de forma unificada a mobilidade dos portadores minoritários e majoritários.
- **Enormal:** Modelo de degradação da mobilidade nas interfaces proposto por Lombardi. Este modelo considera o efeito do alto campo elétrico transversal, que aumenta a interação dos portadores com a interface semiconductor-isolante, aumentando a degradação devido aos mecanismos de espalhamento por fônons acústicos e pela rugosidade na superfície.
- **HighFieldSaturation:** Modelo de mobilidade que considera o alto campo elétrico, onde a mobilidade não é mais proporcional ao campo elétrico devido a velocidade de saturação dos portadores.
- **BandGapNarrowing:** Este é um modelo dependente da temperatura que considera o estreitamento da faixa proibida devido ao alto campo elétrico.
- **SRH (Shockley–Read–Hall):** Modelo de geração-recombinação de portadores.

Como características físicas e elétricas foram adotados os valores de comprimento de canal (L), 10 μ m, 965, 465, 115, 70, 50nm, largura do canal (W) de 1 μ m, função metal = 4,53V, t_{oxf} = 5nm, t_{Si} = 6nm, t_{oxb} = 18nm, N_{LDD} = $1 \times 10^{19} \text{cm}^{-3}$, N_a = $1 \times 10^{15} \text{cm}^{-3}$, N_{aSUB} = $1 \times 10^{18} \text{cm}^{-3}$.

5. RESULTADOS E ANÁLISE

A análise deste trabalho foi feita baseada na extração das curvas de corrente de dreno (I_{DS}) pela tensão aplicada na porta (V_{GF}) de -1,0 a 2,0V, onde foram fixados os valores da tensão no substrato (V_{GB}) em -2, 0 e 2V, para dados experimentais e simulados. As simulações foram feitas considerando-se junções abruptas e dopagem uniforme.

5.1 Análise do nível de corrente

As figuras 20 e 21 apresentam as curvas experimentais para dispositivos com e sem GP, respectivamente, para os dispositivos com diferentes L estudados.

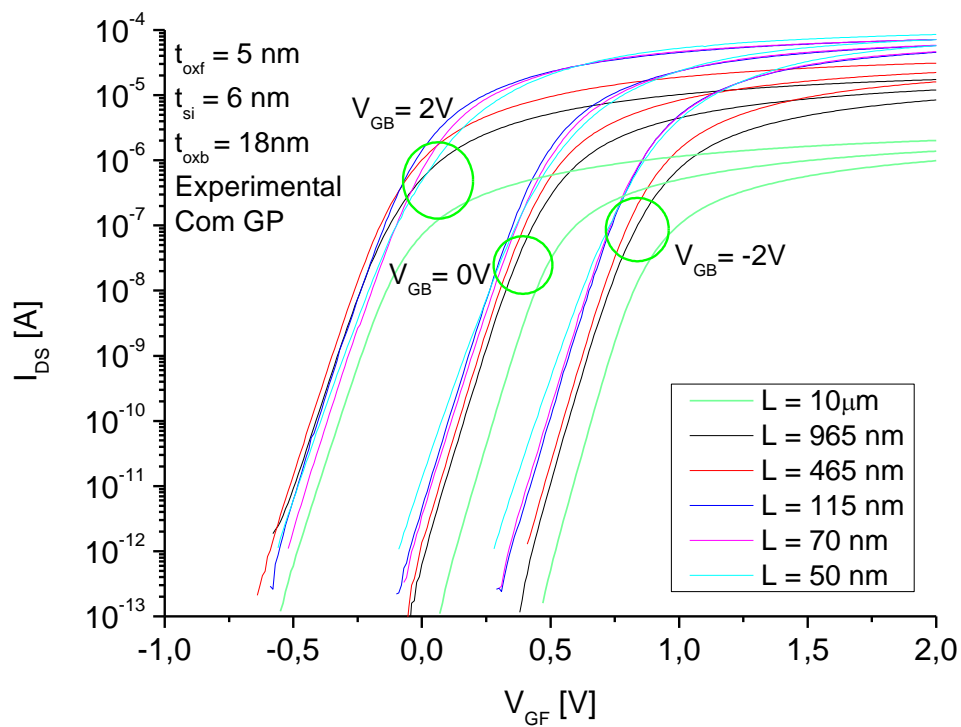


Figura 20 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50mV$) experimentais com GP para $L = 10\mu m$ a $50nm$.

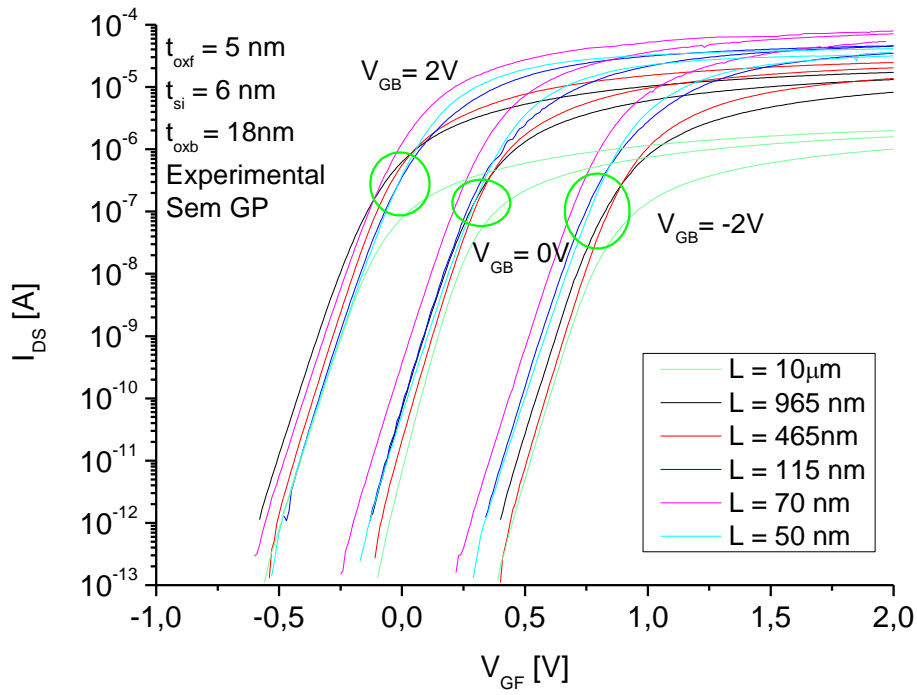


Figura 21 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50mV$) experimentais sem GP para $L = 10\mu m$ a $50nm$.

As figuras 22 e 23 apresentam as curvas simuladas para dispositivos com e sem GP, respectivamente, com as mesmas características físicas experimentais.

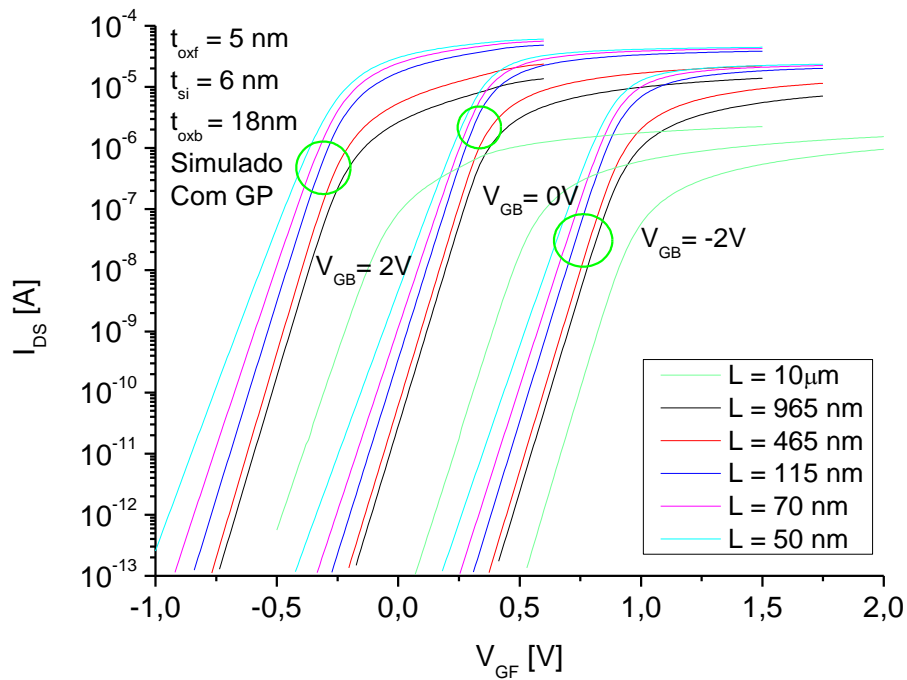


Figura 22 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50mV$) simuladas com GP para $L = 10\mu m$ a $50nm$.

na definição efetiva do canal e até mesmo ocorrer uma forte variação no L o que pode justificar as variações observadas, quanto ao valor real.

- O LDD é realizado com uma máscara considerando o L após a corrosão lateral. Portanto, caso a corrosão fique diferente, haverá diferenças no Lspacer e na concentração do LDD, gerando uma variação na resistência série de Fonte/Dreno afetando o nível de corrente.

Na figura 24 pode-se observar as diferenças que podem ocorrer na estrutura LDD. Na figura 24a, está um modelo, da estrutura desejada. Na figura 24b, está representado o modelo caso ocorra uma maior difusão, diminuindo o tamanho do L efetivo e consequentemente, aumentando o valor do Lspacer. E na figura 24c, está representado o caso de ocorrer uma menor difusão, deixando o L maior, e consequentemente diminuindo o tamanho do Lspacer.

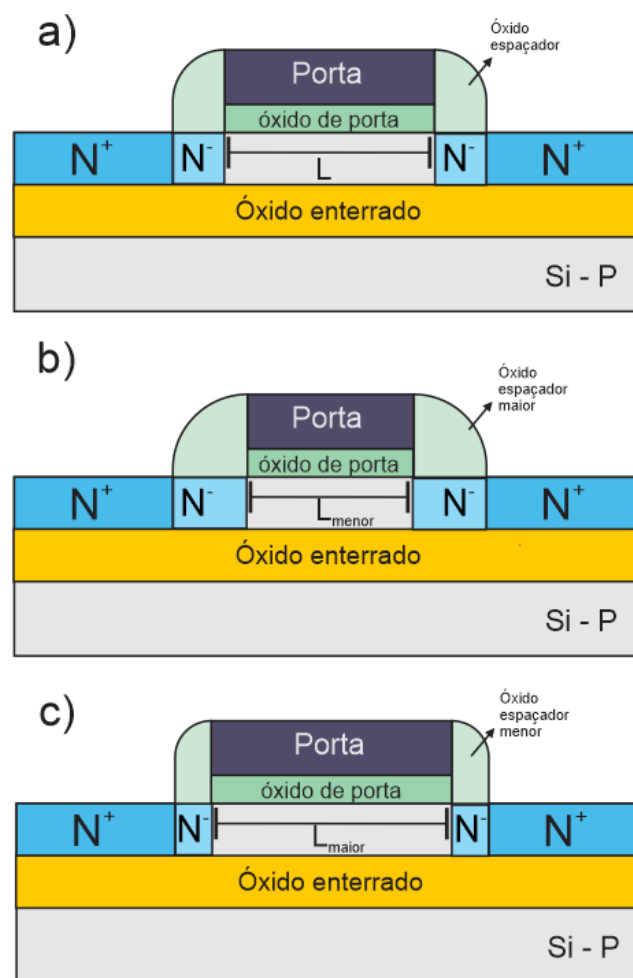


Figura 24 – Possíveis erros na estrutura LDD.

- A implantação do plano de terra é realizada com uma energia de 25keV e dose de $5 \times 10^{13} \text{ at/cm}^2$. Neste processo, defeitos na interface e no óxido, gerando armadilhas de interface (Nit) e cargas nos óxidos de porta e enterrado (Qox), que afetam a tensão de limiar. A

carga Q_{it} aumenta a tensão de limiar enquanto o Q_{ox} diminui a tensão de limiar. Portanto, caso $Q_{it} > Q_{ox}$ ocorre o deslocamento da curva para à direita ou caso $Q_{it} < Q_{ox}$ ocorre o deslocamento da curva para à esquerda.

- Outro ponto importante é que os dispositivos com $L=10\text{ }\mu\text{m}$, 965 e 465nm estão em uma cascata, enquanto os outros L estão em outra cascata, que pode levar a diferenças de concentração, de espessuras do óxido de porta e enterrado e da camada de silício.

Com as curvas obtidas foram feitas as análises comparando as curvas experimentais com as simuladas, com e sem a implantação de GP, comparando os diferentes comprimentos de canais.

5.2 Análise experimental x simulada

As figuras 25 e 26 apresentam as curvas experimentais e simuladas para $L=10\mu\text{m}$ com e sem GP, respectivamente, onde o efeito de canal curto, diferenças do L de máscara e efetivo e a resistência série tem menor efeito. Observa-se que as curvas simuladas e experimentais estão muito próximas entre si.

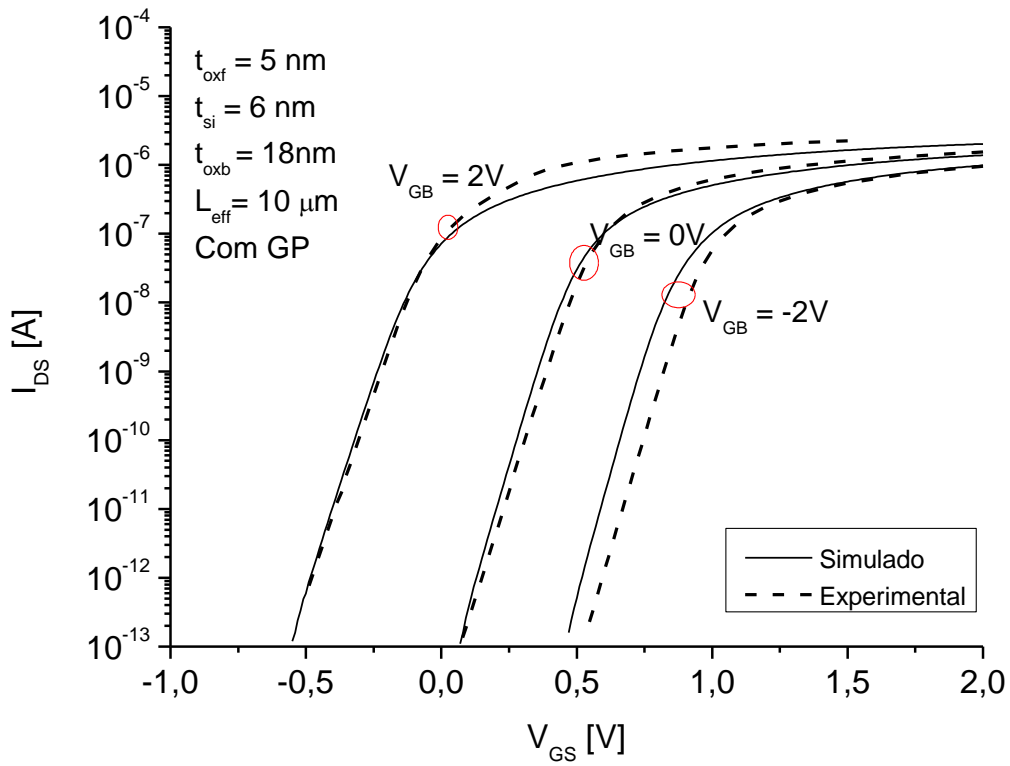


Figura 25 – Curvas $I_{\text{DS}} \times V_{\text{GF}}$ ($V_{\text{DS}}=50\text{mV}$) experimental e simulada com GP para $L = 10\mu\text{m}$.

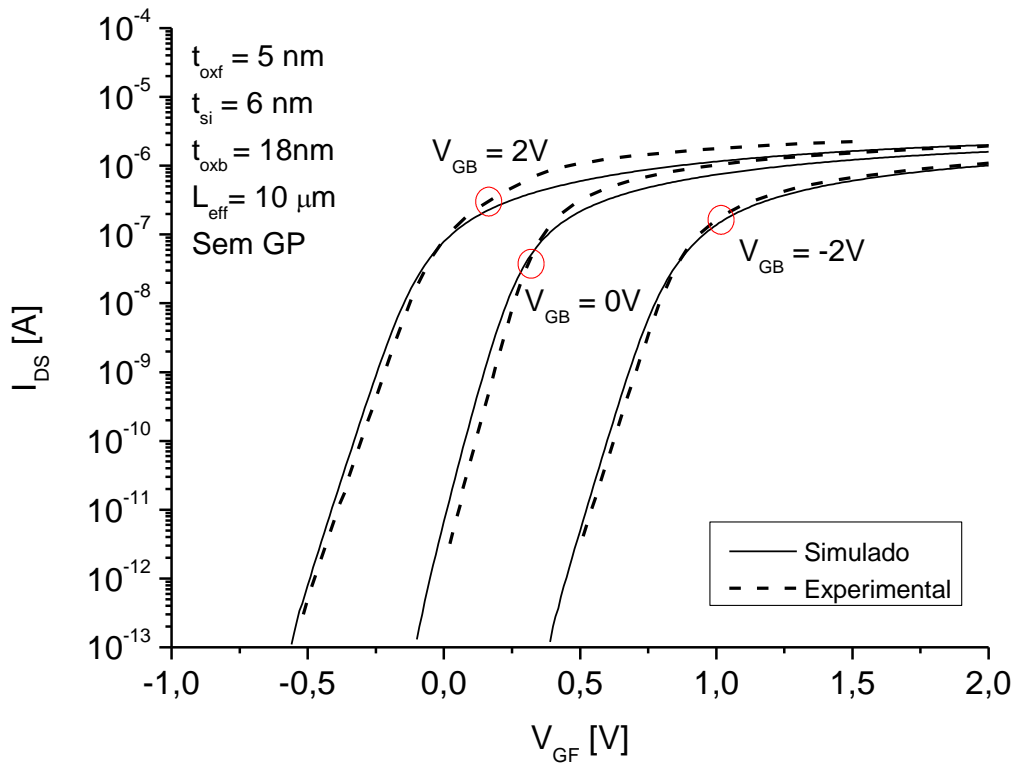


Figura 26 – Curvas $I_{\text{DS}} \times V_{\text{GF}}$ ($V_{\text{DS}}=50\text{mV}$) experimental e simulada sem GP para $L = 10\mu\text{m}$.

As figuras 27 e 28 apresentam as curvas experimentais e simuladas para $L=965$ nm, ($\sim 1\mu\text{m}$) com e sem GP, respectivamente, onde as diferenças do L de máscara e efetivo e a resistência série podem ocorrer. Observa-se que as curvas simuladas e experimentais não estão próximas entre si, principalmente para $V_{GB}=0$ e 2V . Porém, o nível das correntes máximas estão próximos.

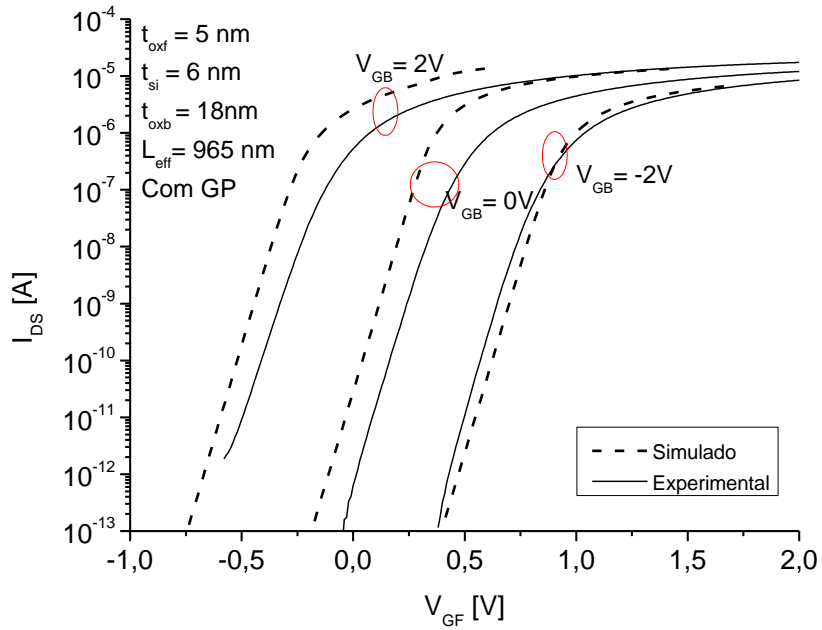


Figura 27 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50\text{mV}$) experimental e simulada com GP para $L = 965\text{nm}$.

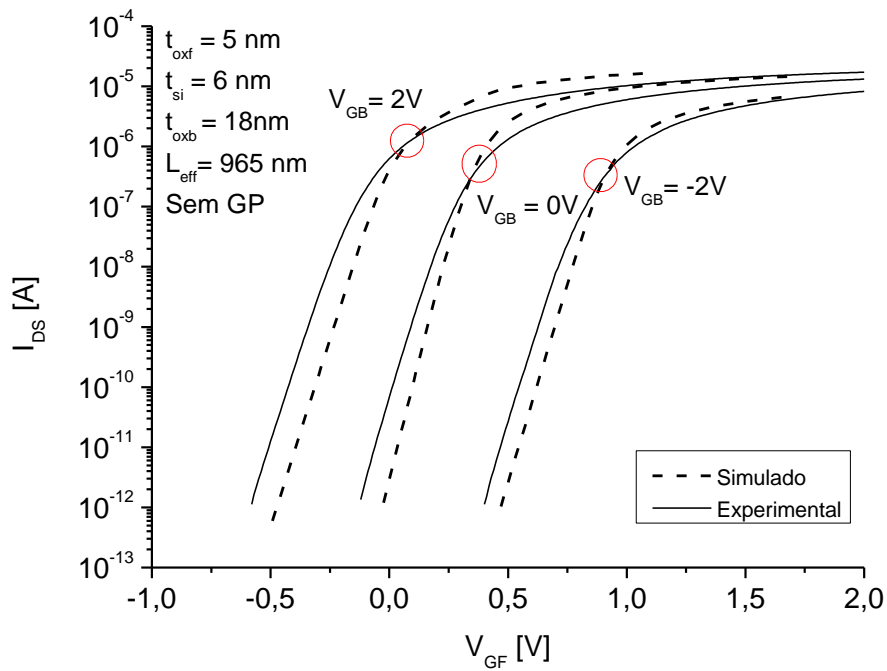


Figura 28 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50\text{mV}$) experimental e simulada sem GP para $L = 965\text{nm}$.

As figuras 29 e 30 apresentam as curvas experimentais e simuladas para $L=70\text{ nm}$, ($\sim 1\mu\text{m}$) com e sem GP, respectivamente, onde as diferenças do L de máscara e efetivo e a resistência série podem ocorrer.

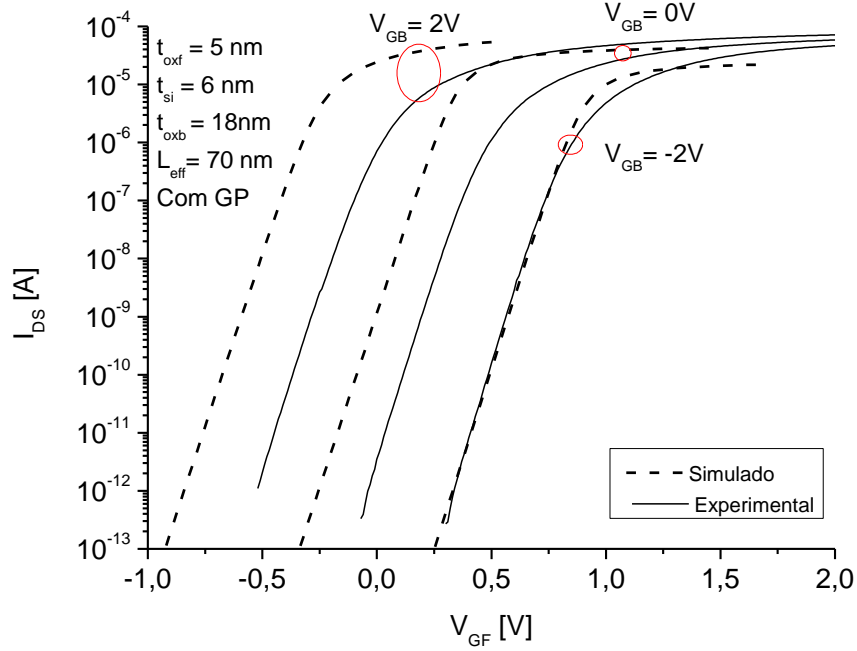


Figura 29 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50\text{mV}$) experimental e simulada com GP para $L = 70\text{nm}$.

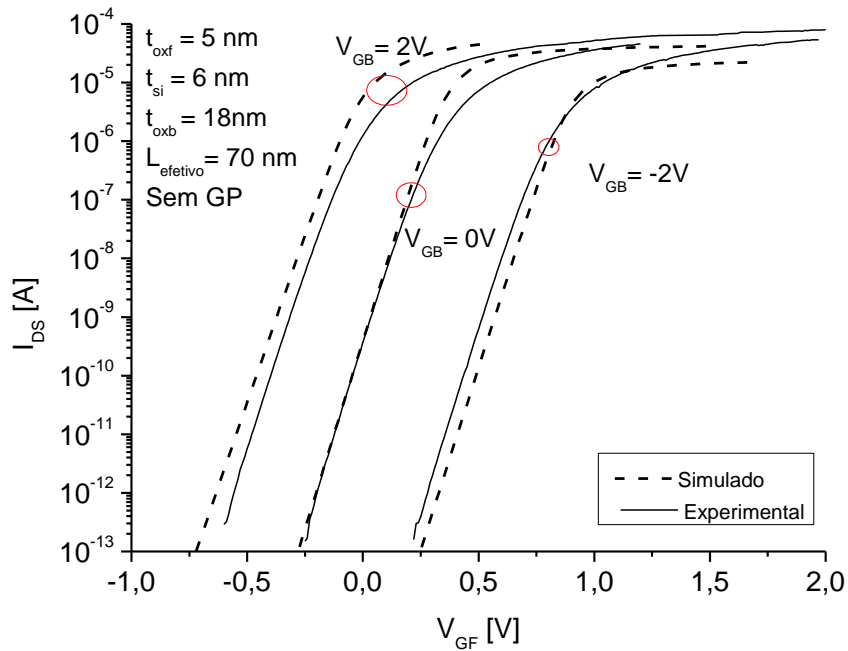


Figura 30 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50\text{mV}$) experimental e simulada sem GP para $L = 70\text{nm}$.

Ao analisar as curvas da figura 29, com GP, que para $V_{GB} = -2V$, onde a segunda interface tende para acumulação, está bem coincidente entre a experimental e a simulada, porém para $V_{GB} = 2$ e $0V$ divergem bem. Já para as curvas da figura 30, sem GP, são bastante similares, independente da tensão V_{GB} .

No apêndice A estão apresentadas as mesmas curvas para os diferentes L_s , 465, 115 e 50 nm onde a análise é similar, a curva simulada e a experimental sem GP são mais coincidentes do que com GP.

Isto pode ser devido ao N_{aSUB} usado para as simulações com GP, de 10^{18} cm^{-3} serem diferentes do experimental. Outro efeito notado é o comportamento na região de saturação e trípode diferente entre o simulado e o experimental, que pode ser devido a diferenças na região de LDD. Este efeito é mais pronunciado no L menores.

5.3 Análise da tensão de limiar

Para determinar a tensão de limiar dos dispositivos simulados e experimentais, foi utilizado o método da segunda derivada, onde é feita a segunda derivada da corrente de dreno (d^2I_{DS}/d^2V_{GF}) [17]. A partir da curva característica de $I_{DS} \times V_{GF}$, obtém-se a tensão de limiar através do pico máximo da curva.

As figuras 31 e 32 ilustram a determinação do V_T para uma medida experimental e simulada, respectivamente, para $V_{GB} = 0V$.

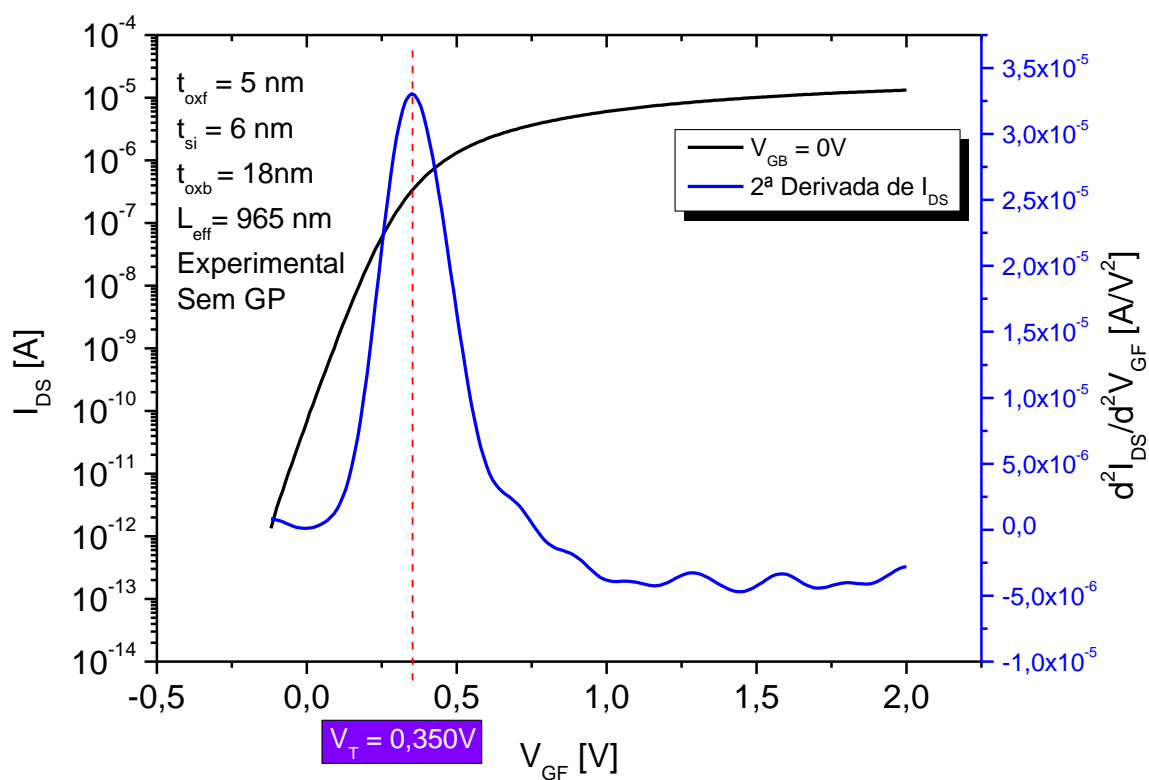


Figura 31 – Gráfico para obtenção de V_T experimental para $L = 965 \text{ nm}$ sem GP.

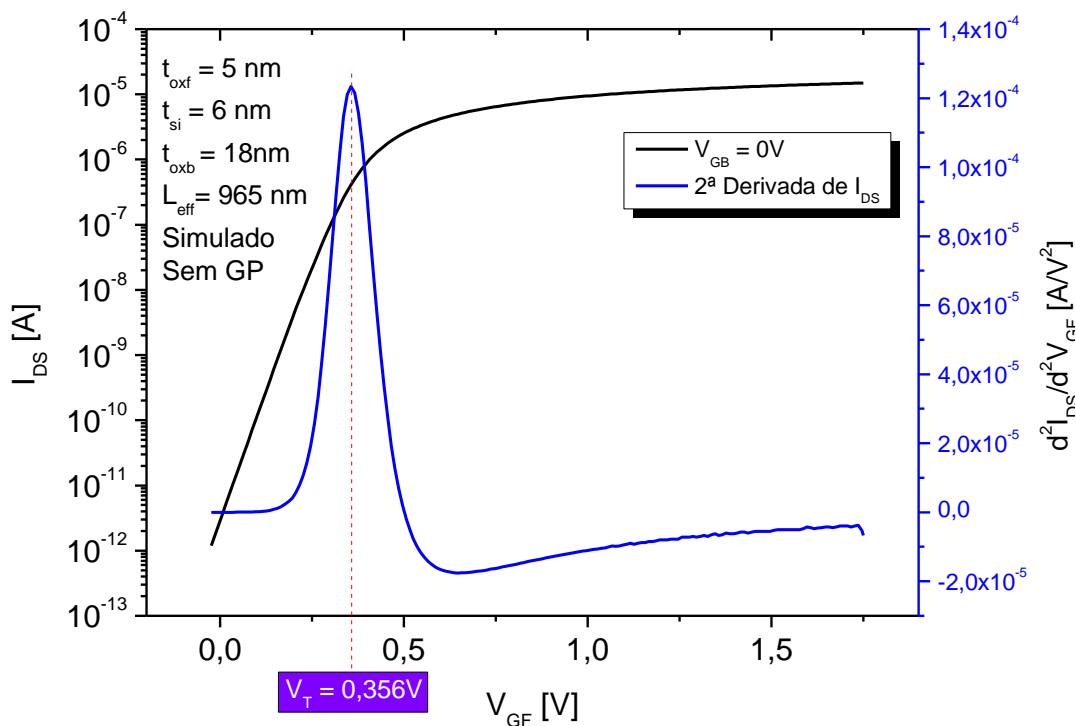


Figura 32 – Gráfico para obtenção de V_T simulado para $L = 965 \text{ nm}$ sem GP.

O Apêndice B apresenta a metodologia de determinação do V_T e as curvas para os outros Ls.

Os valores de V_T extraídos das curvas experimentais e simuladas estão na tabela 1.

Tabela 1 – Dados dos dispositivos experimentais e simulados.

L (nm)	GP	V_{GB} (V)	$V_{Texp}(V)$	V_{Tsim} (V)
10000	Não	0	0,280	0,310
10000	Sim	0	0,500	0,530
965	Não	0	0,350	0,356
965	Sim	0	0,520	0,306
465	Não	0	0,370	0,349
465	Sim	0	0,510	0,306
115	Não	0	0,360	0,336
115	Sim	0	0,510	0,306
70	Não	0	0,370	0,326
70	Sim	0	0,540	0,306
50	Não	0	0,430	0,286
50	Sim	0	0,620	0,316

Com a presença do plano de terra, a tensão de limiar deveria aumentar, devido ao efeito do substrato, porém ao analisar os valores de V_T experimentais, percebe-se que para $L=115\text{nm}$, ocorre o oposto, a tensão de limiar diminui, este fato pode estar associado a problemas durante as etapas do processo de fabricação.

Na figura 33, estão representadas as curvas de V_T em função L, para $V_{GB} = 0\text{V}$. Neste gráfico pode-se observar a análise feita acima, onde é descrito o comportamento da tensão de limiar. Quando é feita a implantação do GP, a tensão de limiar deveria aumentar, porém esse comportamento é observado somente para os dispositivos experimentais.

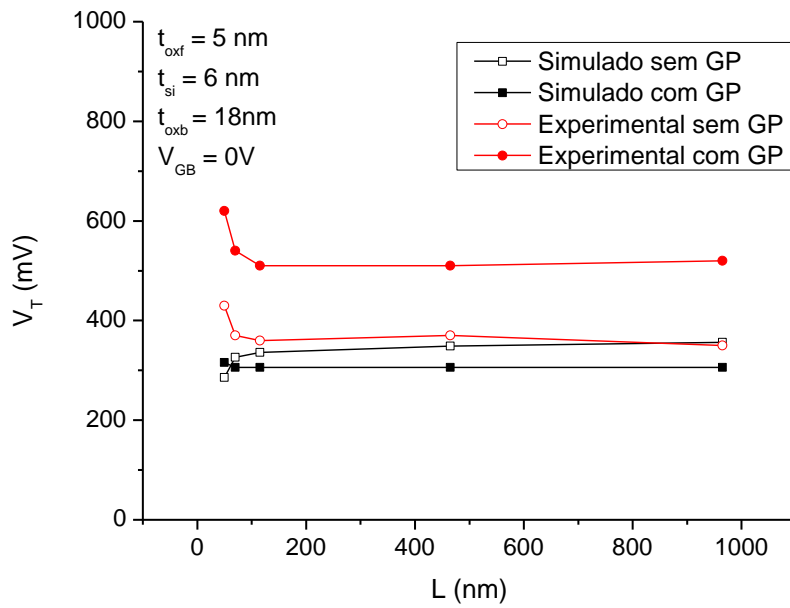


Figura 33 – Gráfico de $V_T \times L$ com $V_{GB} = 0V$.

Outro efeito interessante é o efeito de canal curto reverso, onde o V_T sobe com a diminuição do L . Porém isto não é observado na curva simulada sem GP.

Na figura 34, está representado o gráfico de $V_T \times V_{GB}$, para os valores de $V_{GB} = -2; 0$ e $2V$, para $L = 10\mu m$ e para dispositivos simulados e experimentais, com e sem GP.

As curvas de $V_T \times V_{GB}$ para os demais comprimentos de canal, encontram-se no Apêndice C.

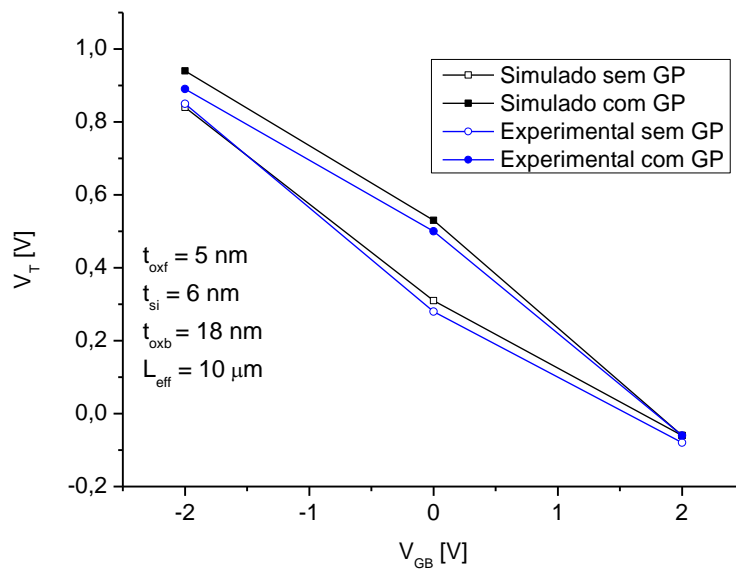


Figura 34 – Gráfico de $V_T \times V_{GB}$ com $V_{GB} = -2; 0$ e $2V$ para $L = 10\mu m$.

6. CONCLUSÕES

Após o estudo e análise dos dados obtidos, conclui-se que efetivamente, ao reduzir o comprimento de canal de um transistor, sua corrente de dreno aumenta, de acordo com as equações (1) e (2). Porém quando foram analisadas as curvas experimentais sem GP, notou-se que a corrente para 70nm era maior do que a de 50nm, e uma possível justificativa para este fato, é que devido aos processos de fabricação, o L efetivo, de 50nm ficou maior e o de 70nm ficou menor do que o previsto, associado a uma possível variação no LDD e na sua concentração, influenciando a resistência série.

Com a implantação do GP, a tensão de limiar dos dispositivos deveria aumentar. Para dispositivos experimentais, V_T aumentou, porém para os dispositivos simulados, foi o oposto. Deste modo pode-se concluir, que a simulação deste trabalho divergiu neste ponto. Uma melhor análise da simulação se faz necessária.

Desta forma, é possível concluir, que um dos principais fatores que interferem no funcionamento esperado de um transistor é o processo de fabricação, e para verificar seu funcionamento, são feitas as simulações.

A partir de simulações, pode-se obter informações mais precisas sobre o transistor, como por exemplo, a concentração efetiva das regiões do substrato, GP e LDD, além de verificar que o L efetivo obtido na fabricação, pode ser diferente.

Como passos futuros, deve-se:

- Analisar melhor os modelos utilizados na simulação e ajustar com os dados experimentais, analisando principalmente os efeitos da concentração e comprimento do LDD, N_{aSUB} e outros parâmetros;
- Medir e simular com mais valores de V_{GB} e;
- Extrair e analisar a inclinação de sublimiar.

REFERÊNCIAS

- [1] J. W. Swart, “Unicamp,” [Online]. Available: <http://www.ccs.unicamp.br/cursos/ee941/download/>. [Acesso em 26 02 2015].
- [2] P. Cipoli, “Canal Tech,” [Online]. Available: <http://canaltech.com.br/o-que-e/intel/O-que-e-a-Lei-de-Moore/>. [Acesso em 08 04 2015].
- [3] Rômulo O. Albuquerque, “Circuitos Integrados com Transistor MOS,” [Online]. Available: <http://www.eletronica24h.com.br/artigos/Instrumentos/Transistormos.html>. [Acesso em 02 03 2015].
- [4] J. A. Martino, M. A. Pavanello e P. B. Verdonck, Caracterização elétrica de tecnologia e dispositivos MOS, São Paulo: Thomson Learning, 2004.
- [5] R. Katsuhiko, “Tecnologia SOI,” São Paulo, 2013.
- [6] M. G. Caño de Andrade, “Estudo de tensão de limiar e inclinação de sublimiar em transistores SOI FinFETs de porta dupla e porta tripla,” São Bernardo do Campo, 2007.
- [7] M. Cattaneo, “Efeito de Corpo em transistores SOI de porta dupla vertical,” São Bernardo do Campo, 2009.
- [8] H. K. LIM e J. G. FOSSUM, “Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's,” em *IEEE Transactions on Electron Devices*, vol. 30, pp. 1244-1451.
- [9] V. T. Itocazu, “Efeito do substrato em transistores SOI de camada de silício e óxido enterrado ultrafinos,” São Paulo, 2014.
- [10] A. L. Silva, “Estudo comparativo do comportamento elétrico entre o wave SOI nMOSFET e o convencional,” São Bernardo do Campo, 2010.
- [11] J. P. Collinge, Silicon on Insulator Technology: Materials to VLSI, 3 ed., Kluwer AcademicPublishers, 2004.
- [12] J. A. Martino, “Model for the potential drop in the silicon substrate for thin-film SOIMOSFETs,” vol. 26, p. 1462, 1990.
- [13] B. Y. N. O. Kononchuk, Silicon on Insulator SOI Technology: Manufacture and Applications.
- [14] S.-Y. O. J. L. M. Kit Man Cham, Computer-Aided Design and VLSI Device Development, Springer, 1988.
- [15] V. Koldiaev e G. Cheroff, “Oxide-Nitride-Oxide spacer with oxide layers free of nitridization”. EUA Patente US 20050040479 A1, 24 fev 2005.

- [16] M. Bariatto, *Transistor NMOS - Efeitos da redução das dimensões*, São Paulo, 2006.
- [17] A. Terao, D. Flandre, E. Tamayo e F. Wiele, “IEEE Electron Device Letters,” p. 682, 1991.
- [18] “Origin Lab Corporation,” [Online].Available:<http://www.originlab.com/index.aspx?go=Products/Origin/DataAnalysis/SignalProcessing/FFT%20and%20IFFT>. [Acesso em 08 06 2015].

APÊNDICE A – CURVAS EXPERIMENTAIS E SIMULADAS

As curvas de comparação experimental e simulada para os dispositivos de $L = 465,115$ e 50nm com e sem GP estão apresentadas nas figuras 35 a 40.

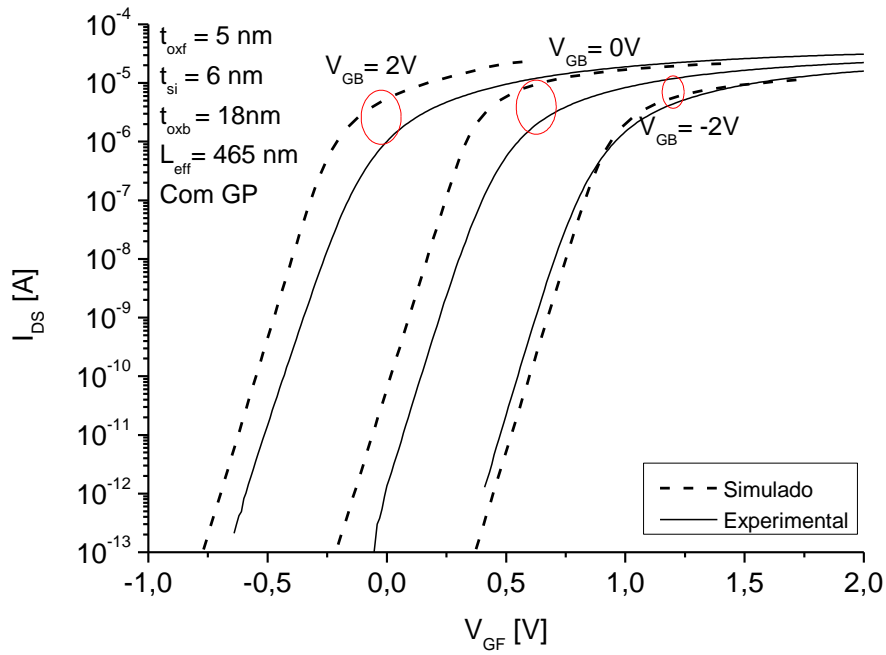


Figura 35 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50\text{mV}$) experimental e simulada com GP para $L = 465\text{nm}$.

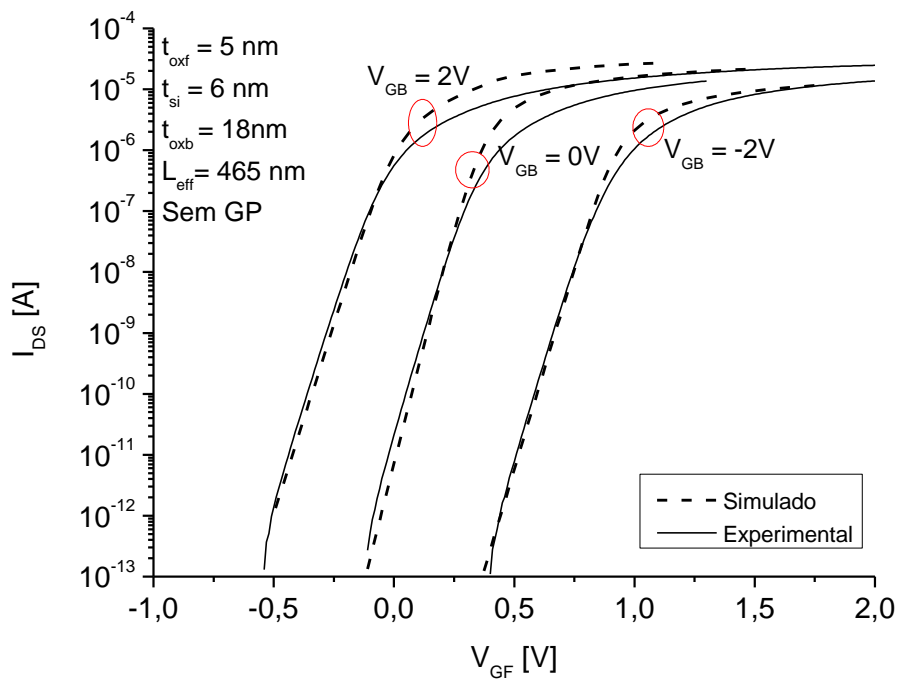


Figura 36 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50\text{mV}$) experimental e simulada sem GP para $L = 465\text{nm}$.

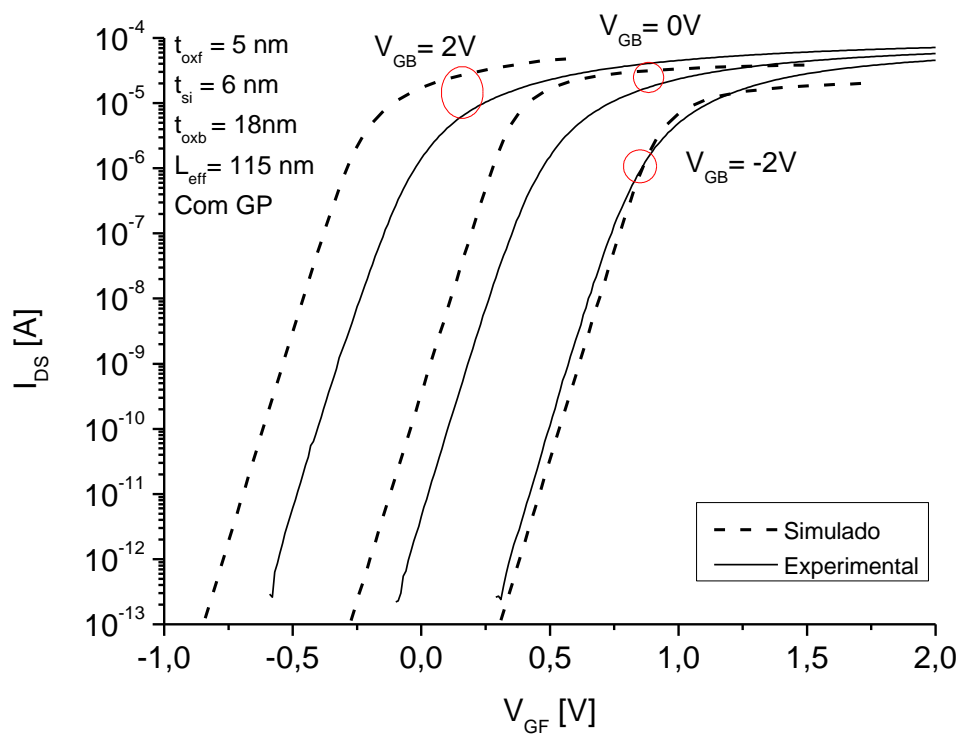


Figura 37 – Curvas $I_{\text{DS}} \times V_{\text{GF}}$ ($V_{\text{DS}}=50\text{mV}$) experimental e simulada com GP para $L = 115\text{nm}$.

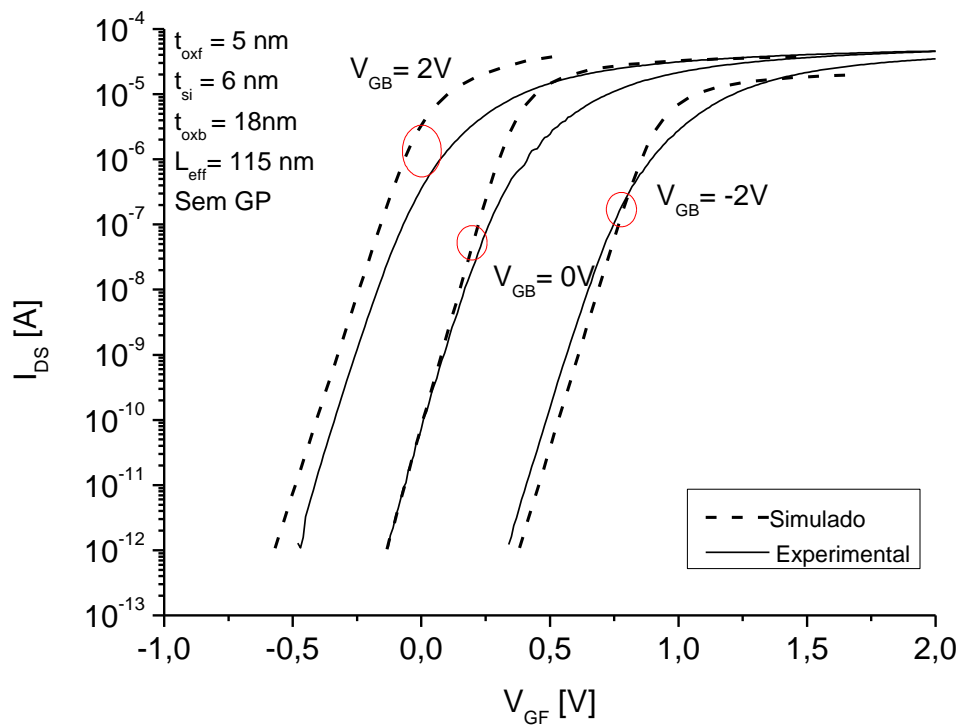


Figura 38 – Curvas $I_{\text{DS}} \times V_{\text{GF}}$ ($V_{\text{DS}}=50\text{mV}$) experimental e simulada sem GP para $L = 115\text{nm}$.

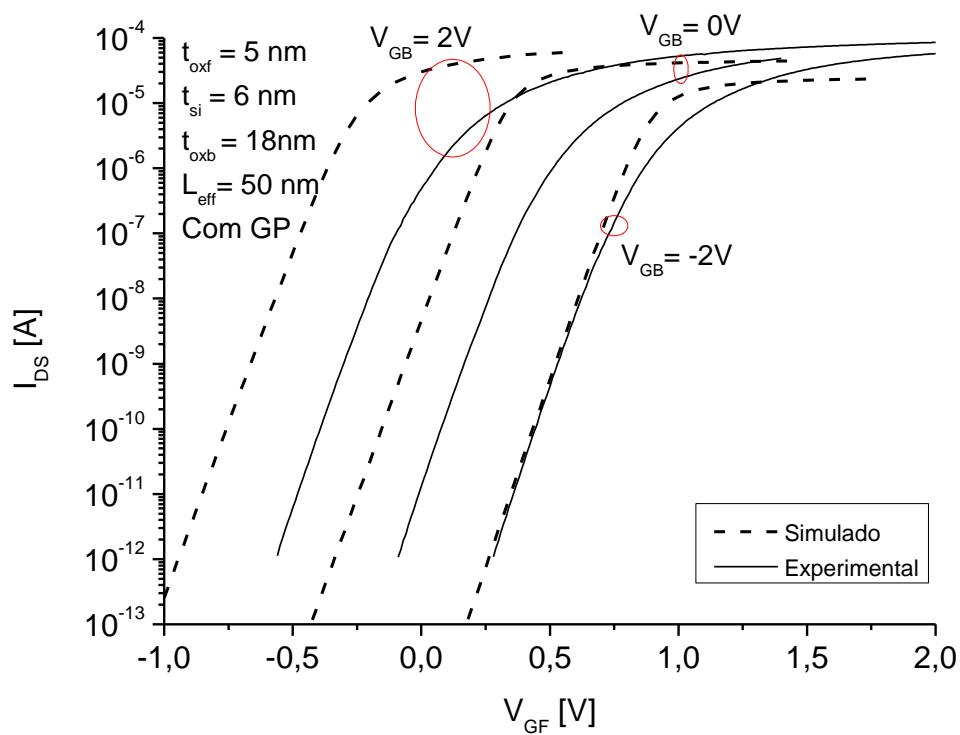


Figura 39 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50$ mV) experimental e simulada com GP para $L = 50$ nm.

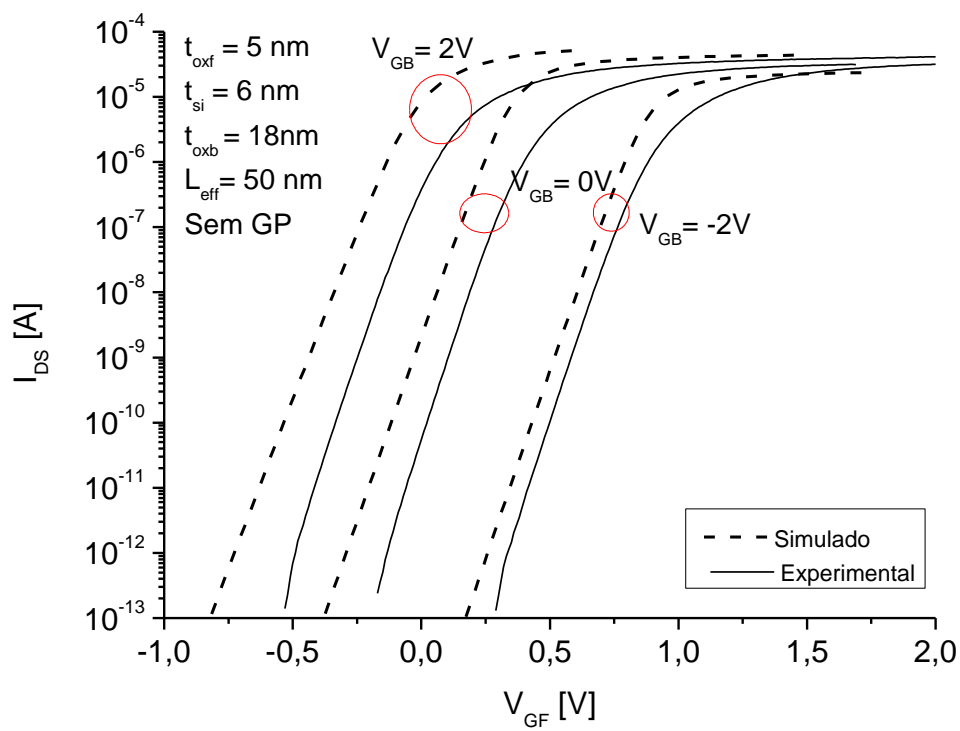


Figura 40 – Curvas $I_{DS} \times V_{GF}$ ($V_{DS}=50$ mV) experimental e simulada sem GP para $L = 50$ nm.

APÊNDICE B – DETERMINAÇÃO DA TENSÃO DE LIMIAR

Para obtenção da tensão de limiar de dispositivos experimentais, foi necessário utilizar a análise de processamento de sinais, utilizando o recurso FFT (*Fast Fourier Transform* – Transformada Rápida de Fourier), no software OriginPro®, para “limpar” a curva, pois há muitos ruídos. O recurso FFT, pega um sinal estacionário e o expressa em termo das frequências das ondas que compõe esse sinal [17].

A figura 41 mostra a curva resultante da segunda derivada da corrente de dreno, para $V_{GB} = 0V$

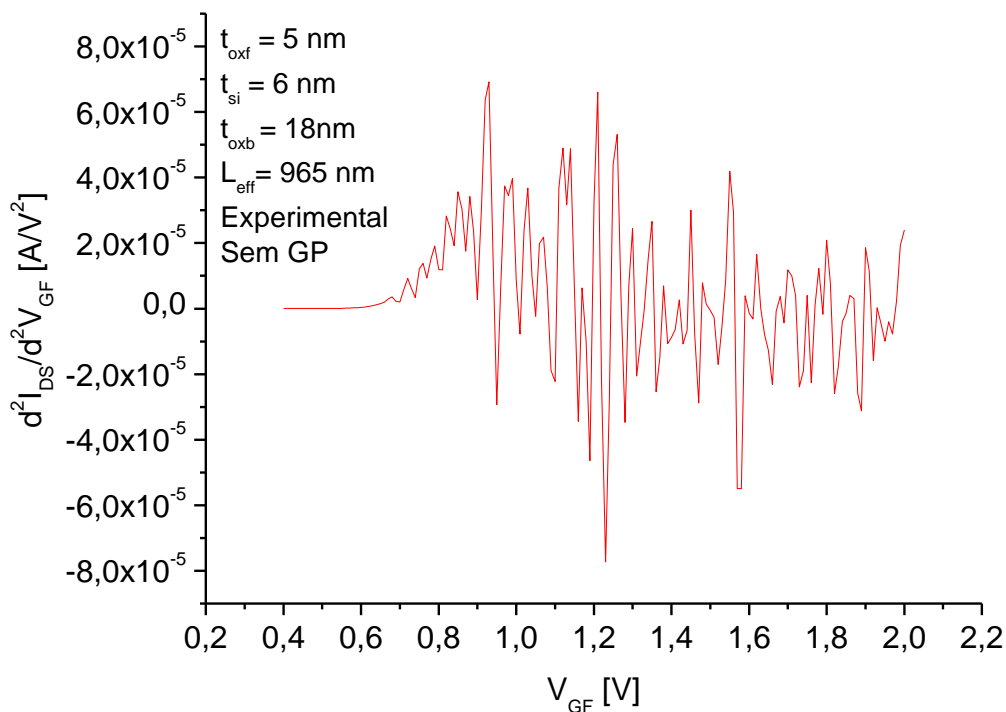


Figura 41 – Gráfico da segunda derivada da corrente de dreno por V_{GF} , para obtenção de V_T experimental.

A partir do gráfico da figura 41, foi utilizada a transformada rápida de Fourier, para obtenção de V_T , como mostrado na figura 42. A quantidade de pontos que forneceu uma melhor curva, foi 8.

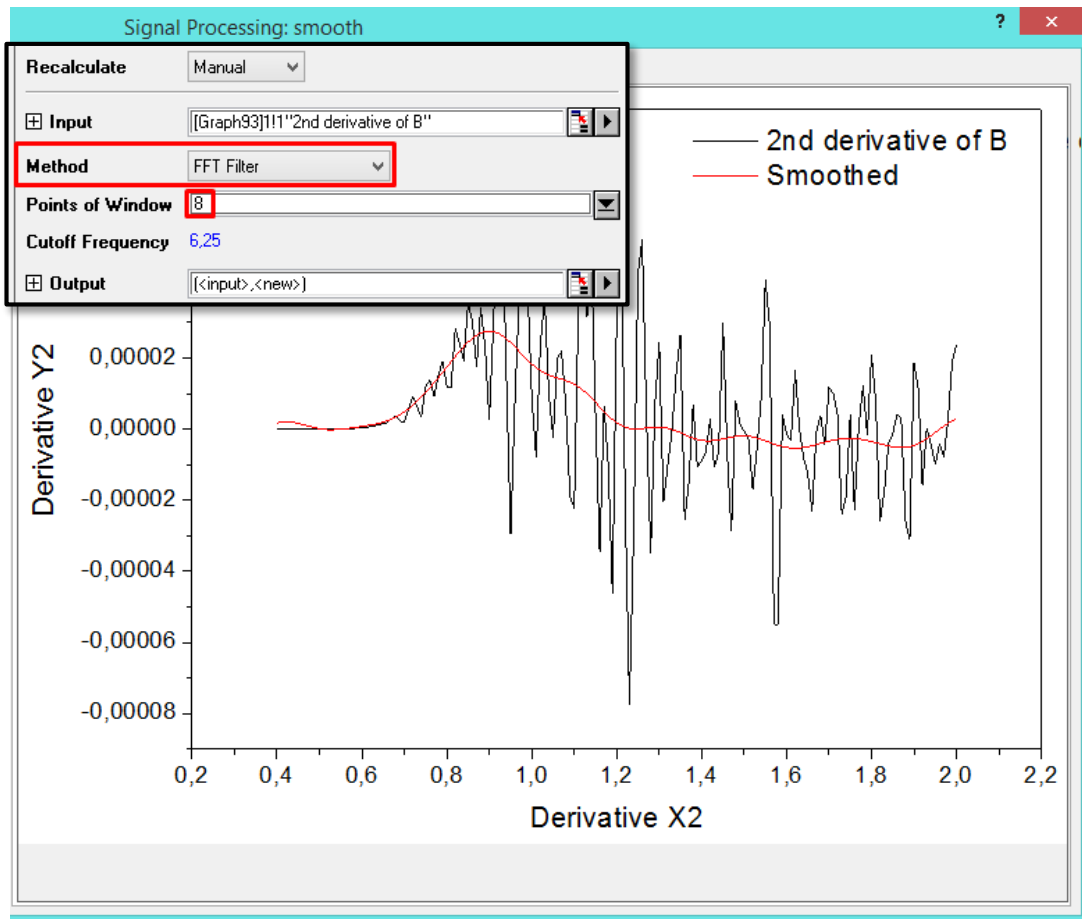


Figura 42 – Método para obtenção de V_T experimental.

Após feita esta análise, é plotada a curva desta análise, e extraído o valor de V_T , como pode ser visto na figura 43.

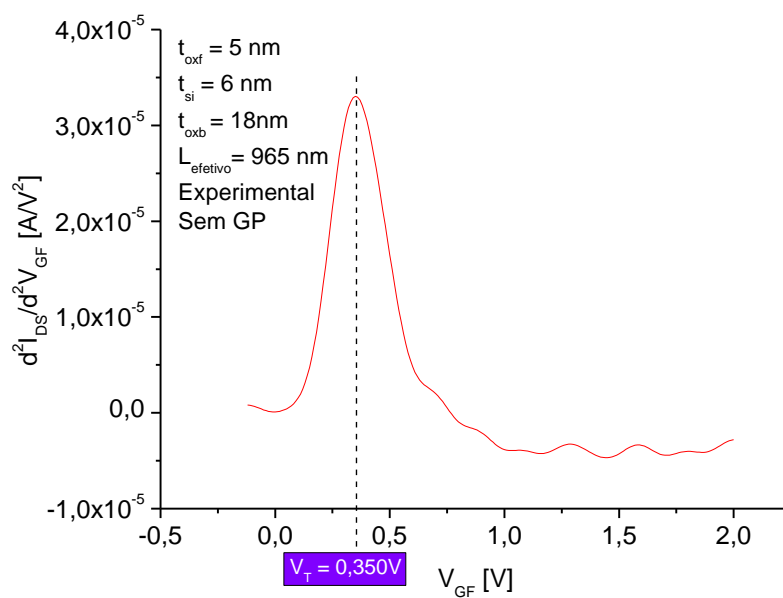


Figura 43 – Extração de V_T após análise FFT.

As figuras a seguir, estão apresentando os valores de V_T que foram extraídos graficamente.

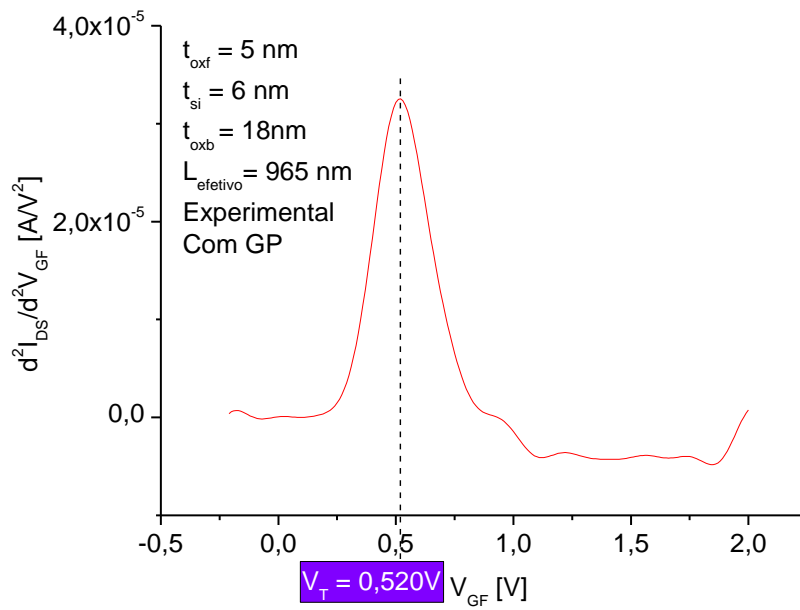


Figura 44 – Gráfico para obtenção de V_T experimental para $L = 965 \text{ nm}$ com GP.

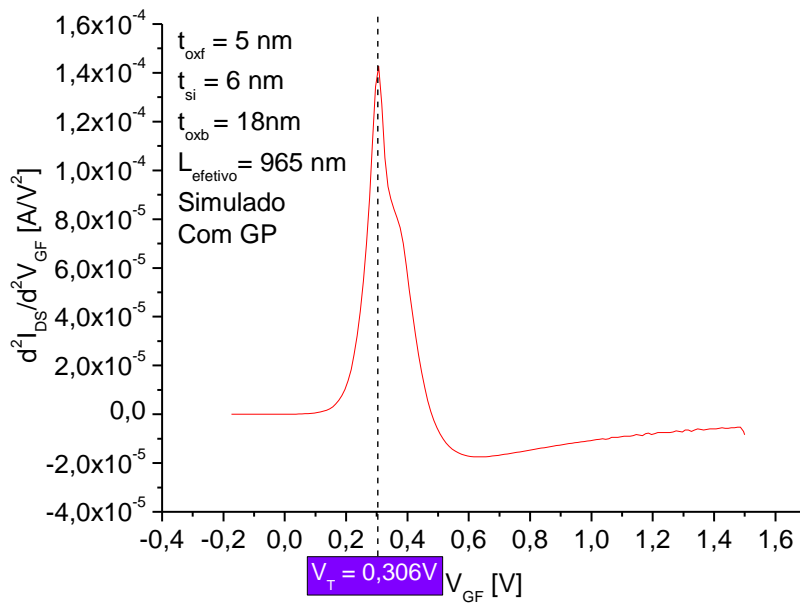


Figura 45 – Gráfico para obtenção de V_T simulada para $L = 965 \text{ nm}$ com GP.

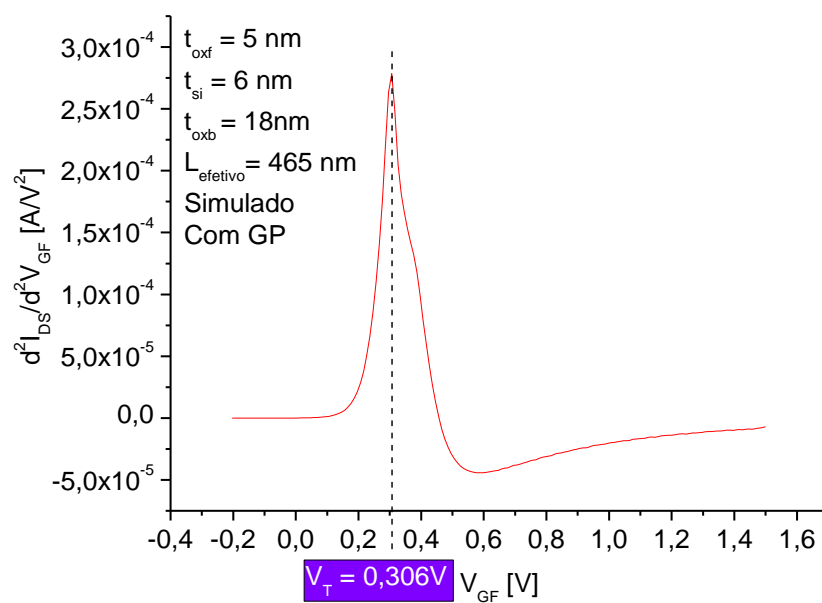


Figura 46 – Gráfico para obtenção de V_T simulado para $L = 465 \text{ nm}$ com GP.

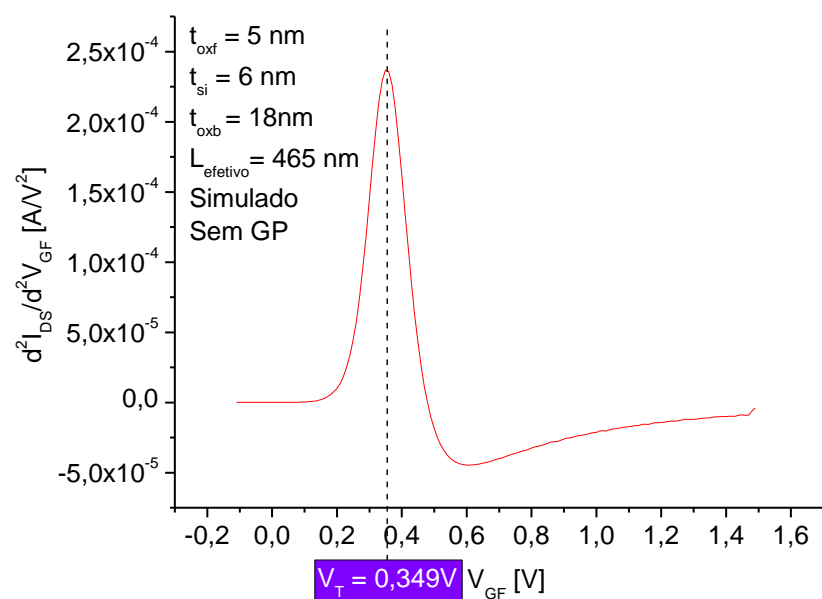


Figura 47 – Gráfico para obtenção de V_T simulado para $L = 465 \text{ nm}$ sem GP.

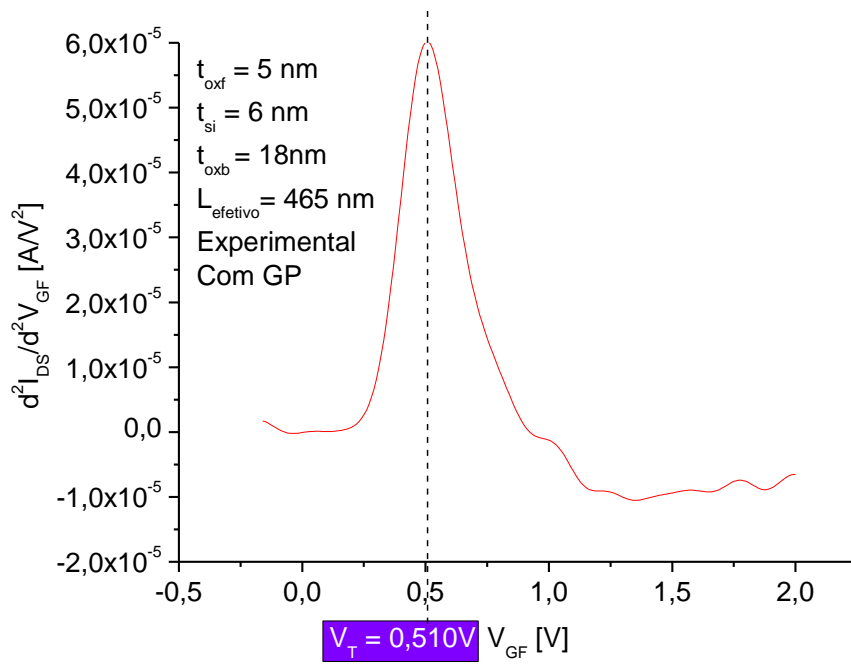


Figura 48 – Gráfico para obtenção de V_T experimental para $L = 465 \text{ nm}$ com GP.

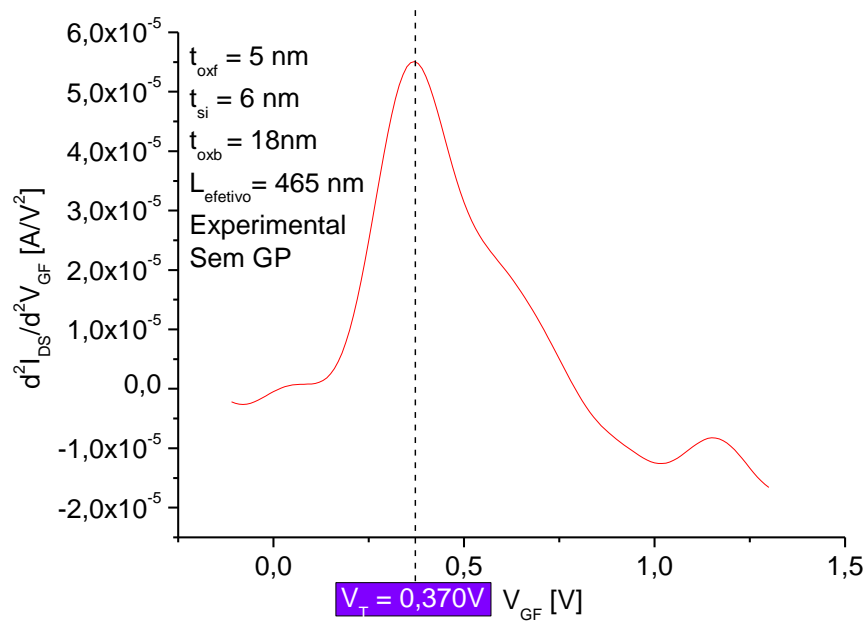


Figura 49 – Gráfico para obtenção de V_T experimental para $L = 465 \text{ nm}$ sem GP.

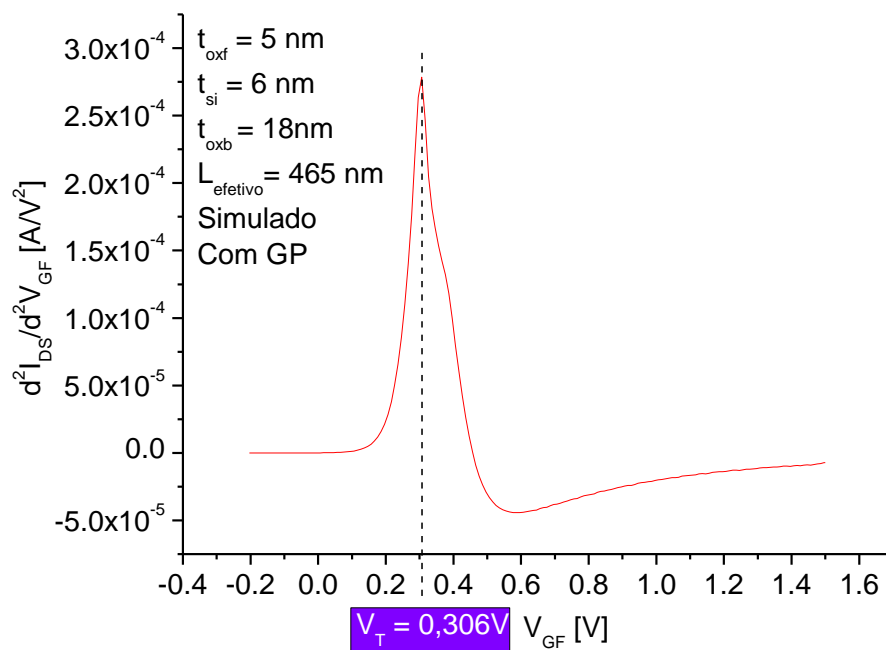


Figura 50 – Gráfico para obtenção de V_T simulado para $L = 465 \text{ nm}$ com GP.

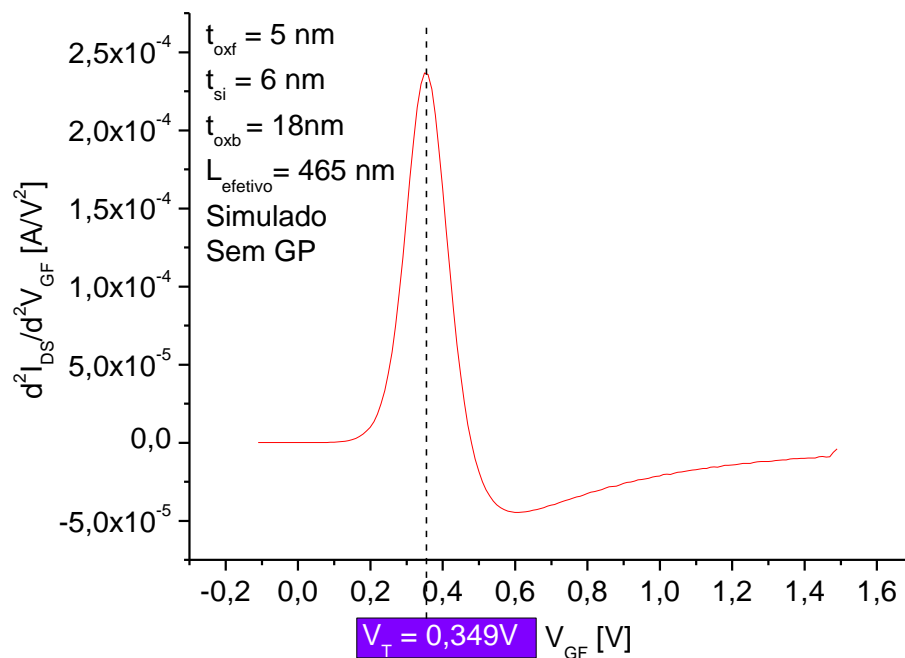


Figura 51 – Gráfico para obtenção de V_T simulado para $L = 465 \text{ nm}$ sem GP.

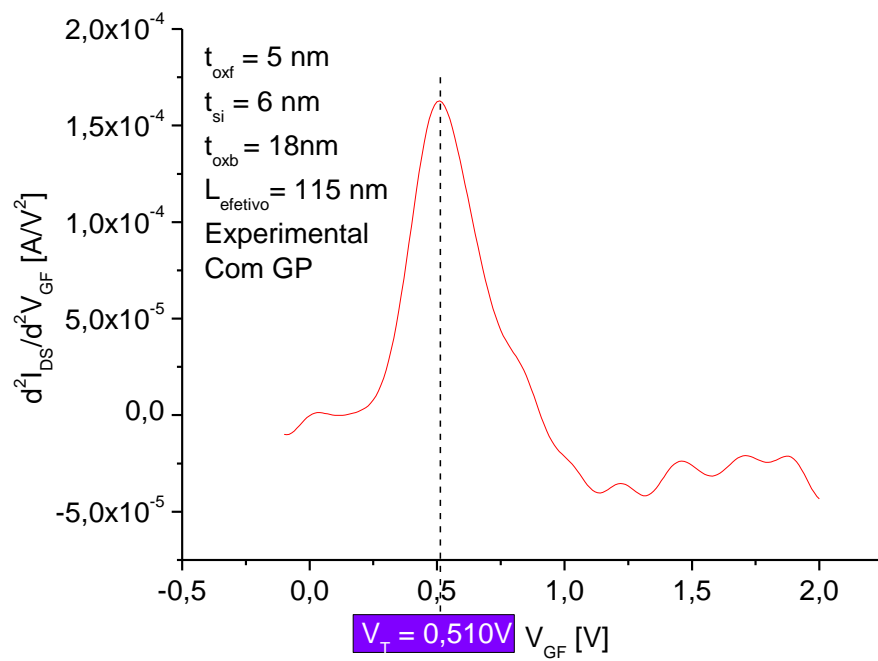


Figura 52 – Gráfico para obtenção de V_T experimental para $L = 115 \text{ nm}$ com GP.

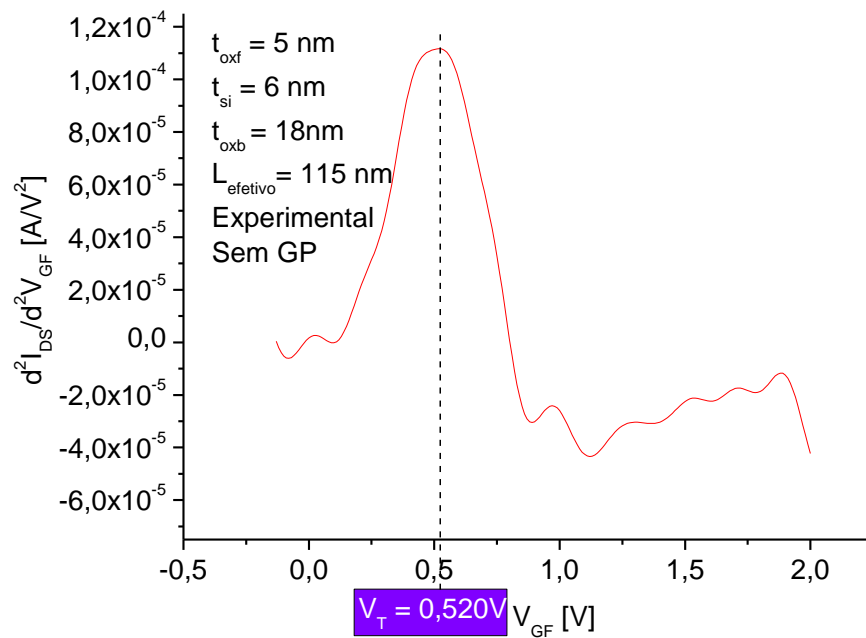


Figura 53 – Gráfico para obtenção de V_T experimental para $L = 115 \text{ nm}$ sem GP.

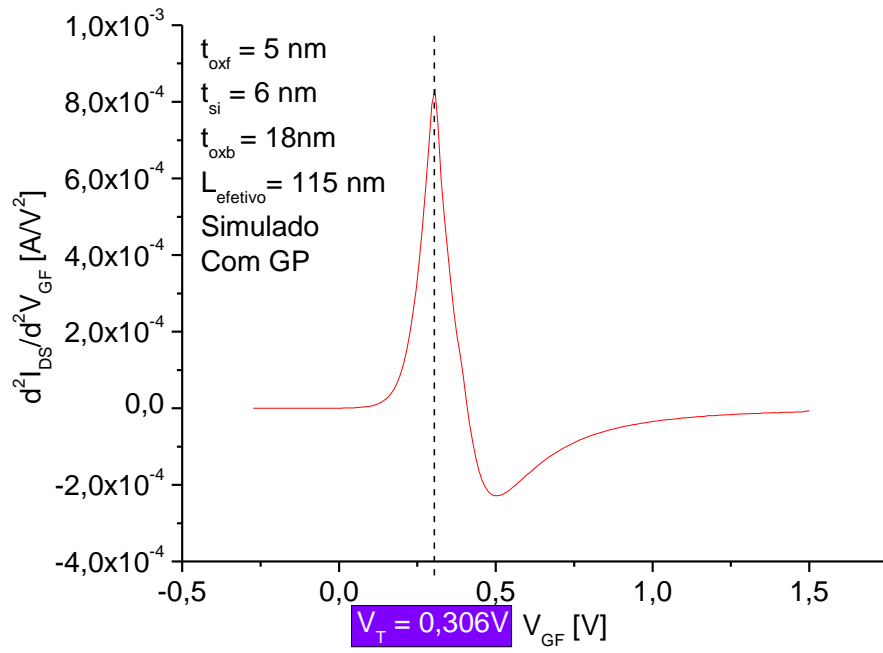


Figura 54 – Gráfico para obtenção de V_T simulado para $L = 115 \text{ nm}$ com GP.

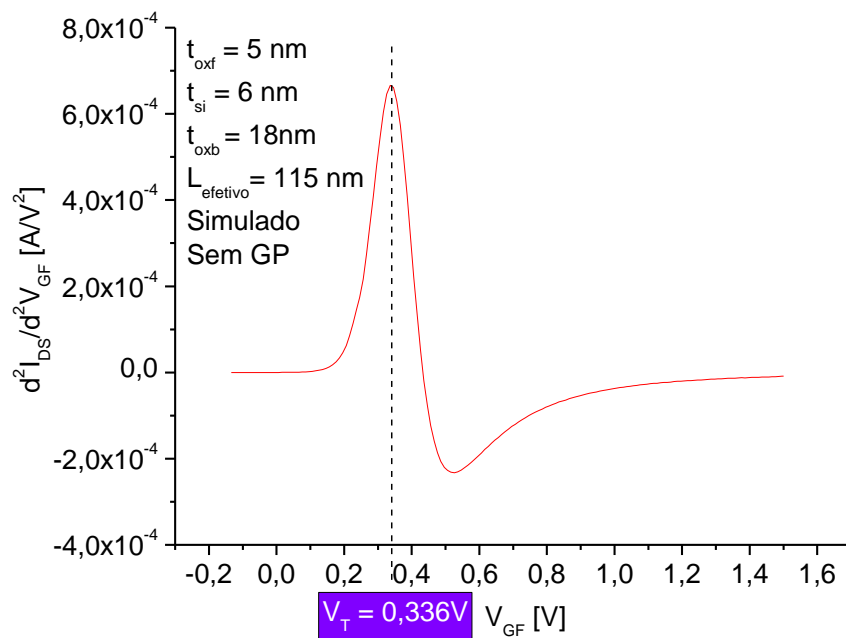


Figura 55 – Gráfico para obtenção de V_T simulado para $L = 115 \text{ nm}$ sem GP.

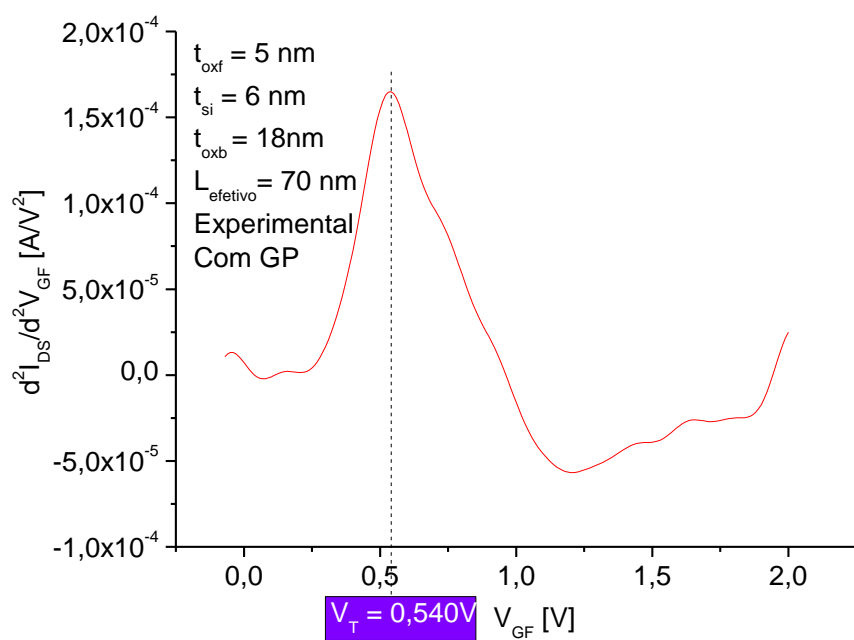


Figura 56 – Gráfico para obtenção de V_T experimental para $L = 70 \text{ nm}$ com GP.

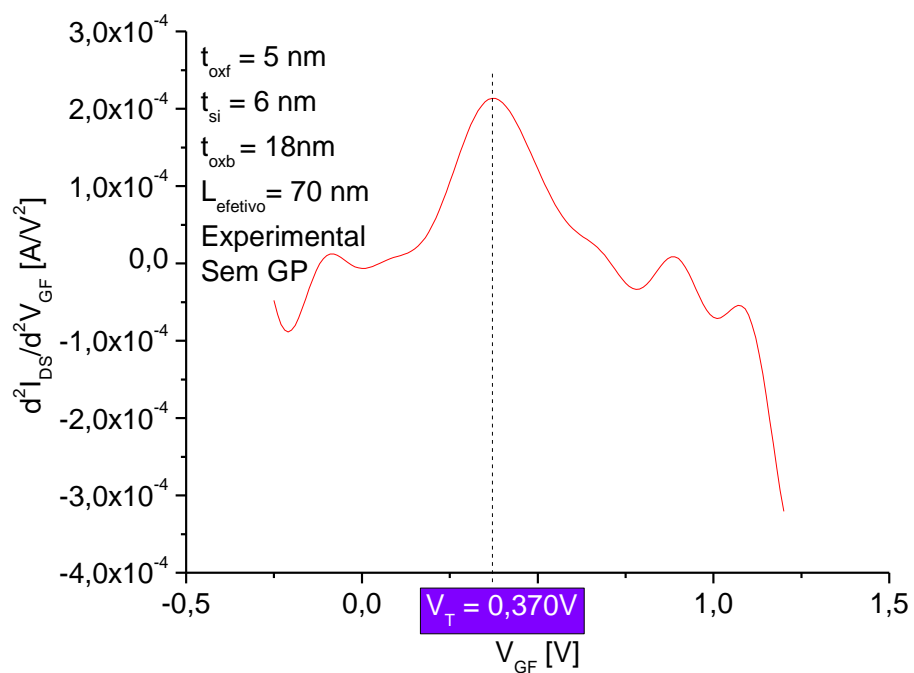


Figura 57 – Gráfico para obtenção de V_T experimental para $L = 70 \text{ nm}$ sem GP.

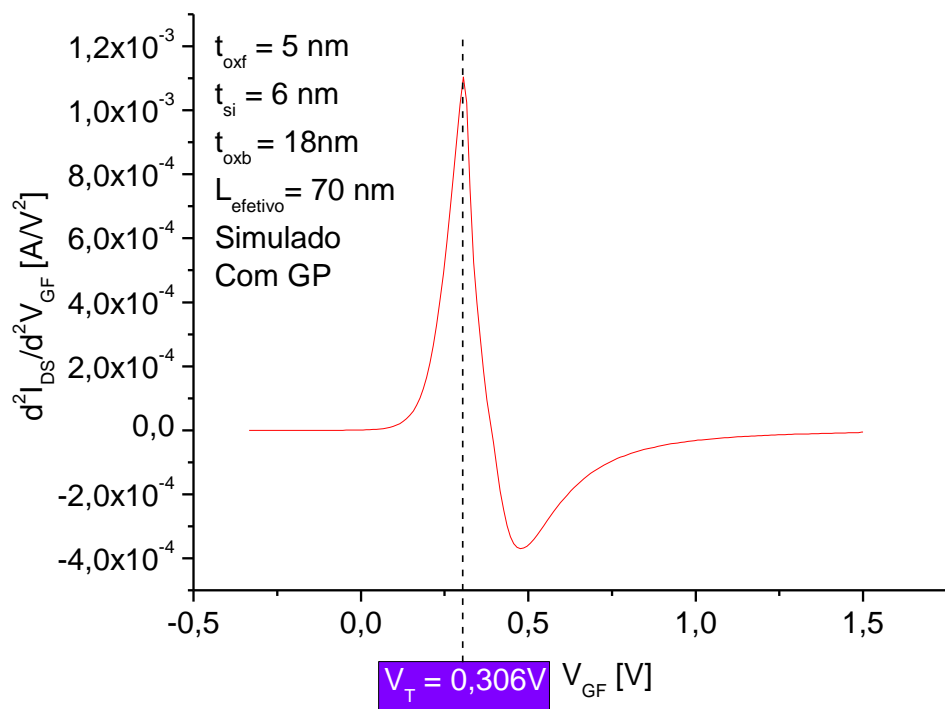


Figura 58 – Gráfico para obtenção de V_T simulado para $L = 70 \text{ nm}$ com GP.

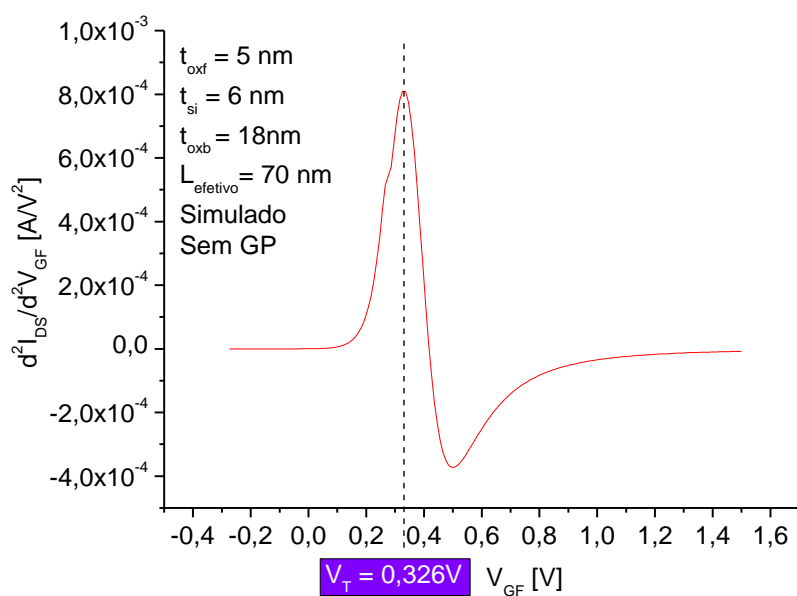


Figura 59 – Gráfico para obtenção de V_T simulado para $L = 70 \text{ nm}$ sem GP.

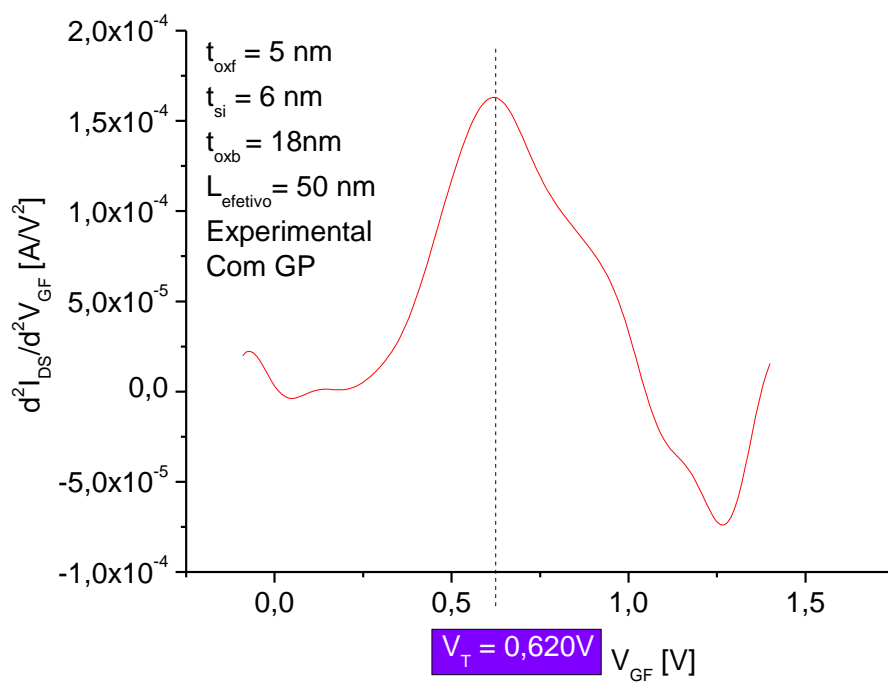


Figura 60 – Gráfico para obtenção de V_T experimental para $L = 50 \text{ nm}$ com GP.

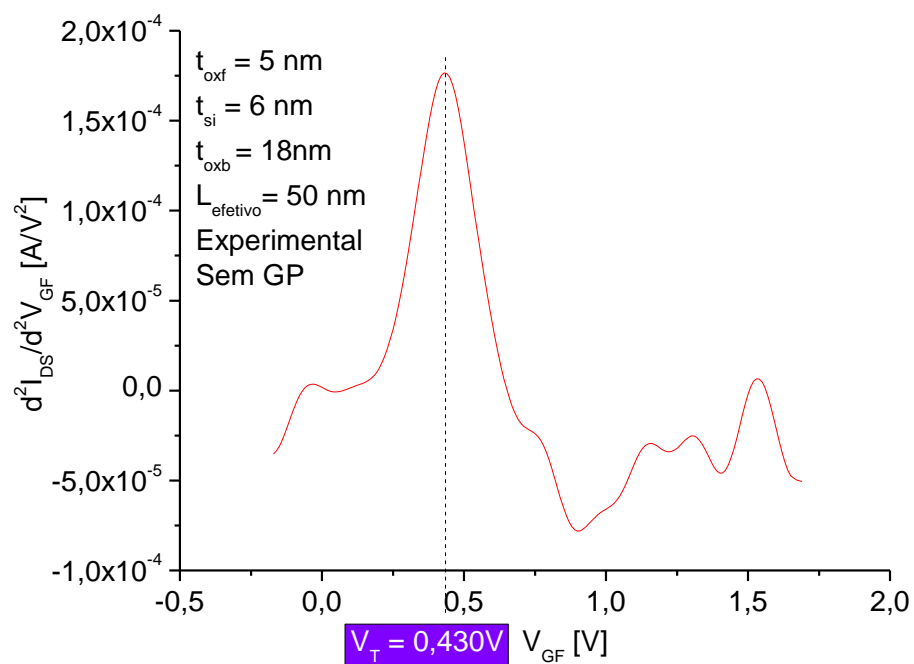


Figura 61 – Gráfico para obtenção de V_T experimental para $L = 50 \text{ nm}$ sem GP.

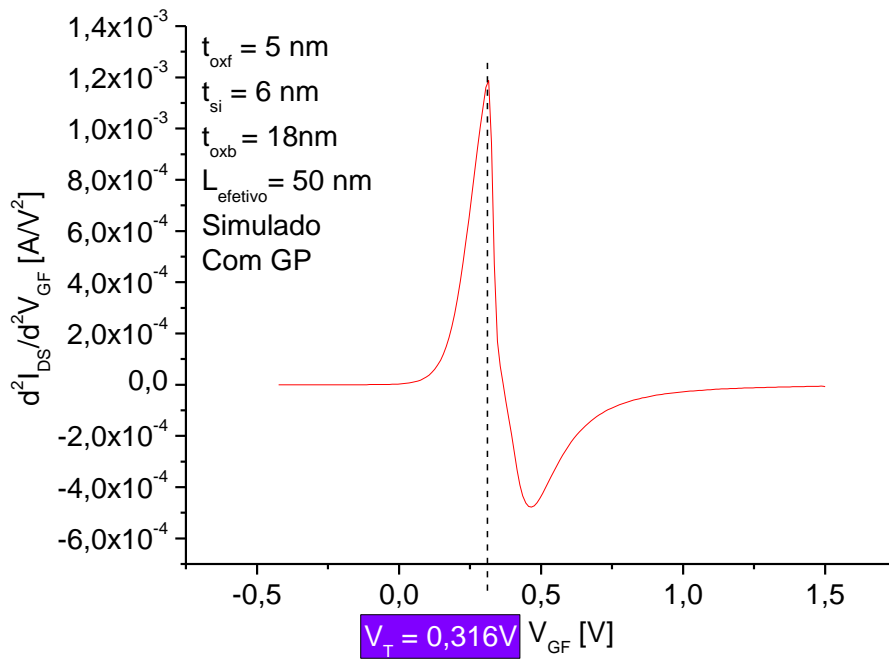


Figura 62 – Gráfico para obtenção de V_T simulado para $L = 50 \text{ nm}$ com GP.

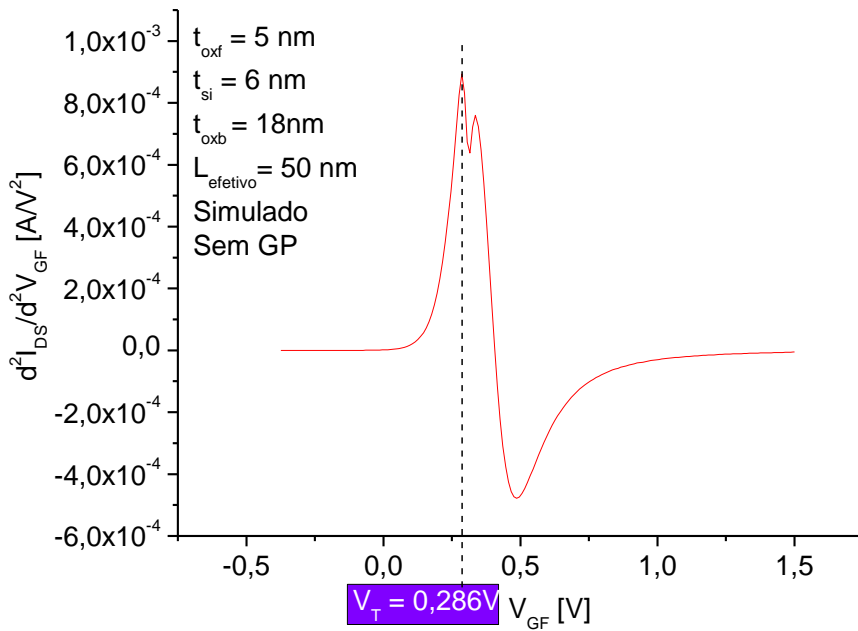


Figura 63 – Gráfico para obtenção de V_T simulado para $L = 50 \text{ nm}$ sem GP.

APÊNDICE C – CURVAS V_T X V_{GB}

As curvas para análise da tensão de limiar para cada V_{GB} , para os comprimentos de canal de 965, 465, 115, 70 e 50nm estão apresentadas nas figuras 64, 65, 66, 67 e 68, respectivamente. Observa-se que o comportamento experimental e simulado sem GP está coerente na maioria dos casos. Porém para com GP há uma grande divergência, que necessita maior análise.

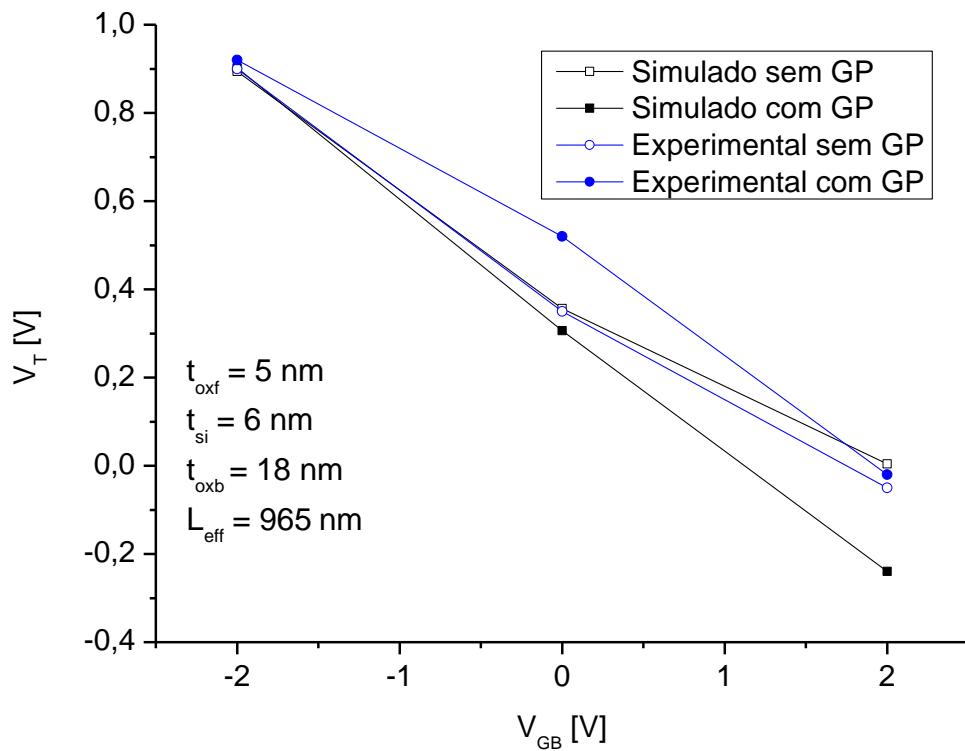


Figura 64 – Gráfico de V_T x V_{GB} com $V_{GB} = -2; 0$ e $2V$ para $L = 965nm$.

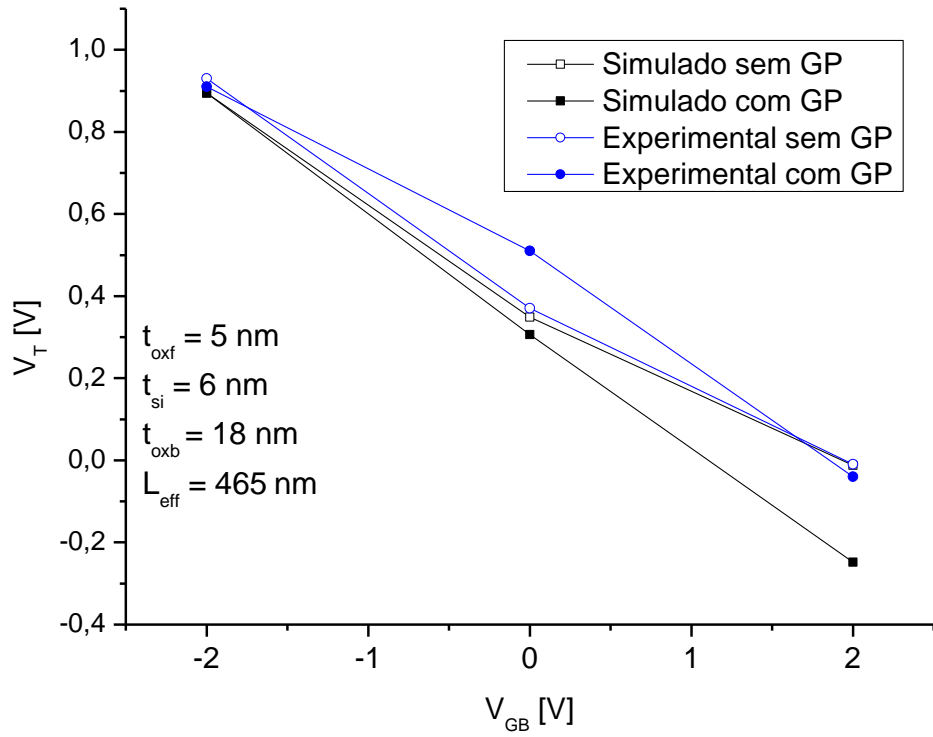


Figura 65 – Gráfico de V_T x V_{GB} com $V_{GB} = -2; 0$ e $2V$ para $L = 465\text{nm}$.

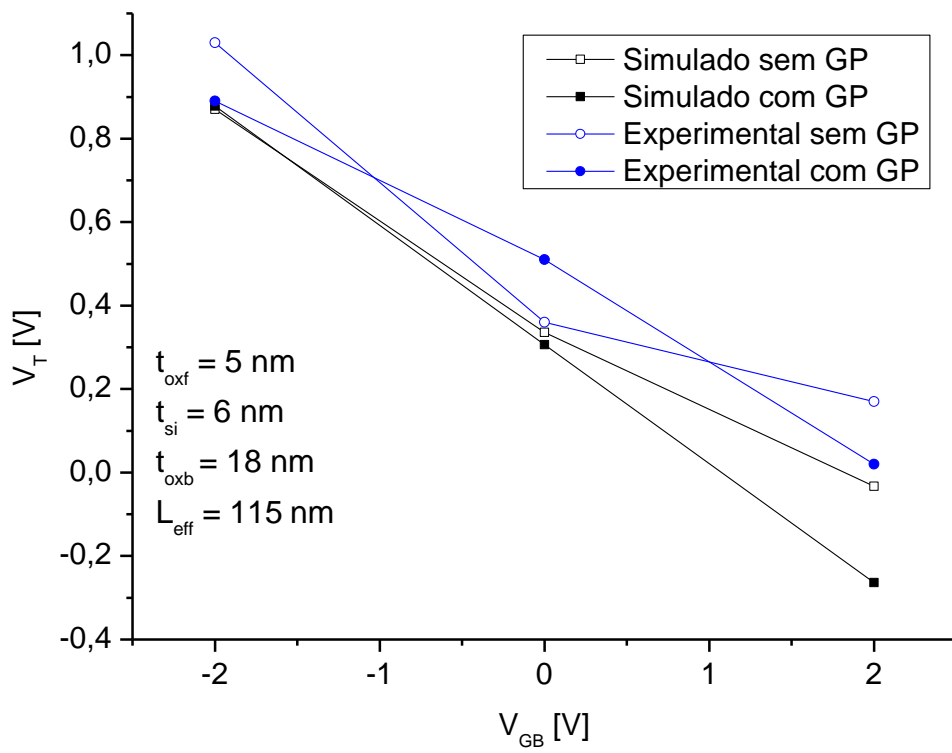


Figura 66 – Gráfico de V_T x V_{GB} com $V_{GB} = -2; 0$ e $2V$ para $L = 115\text{nm}$.

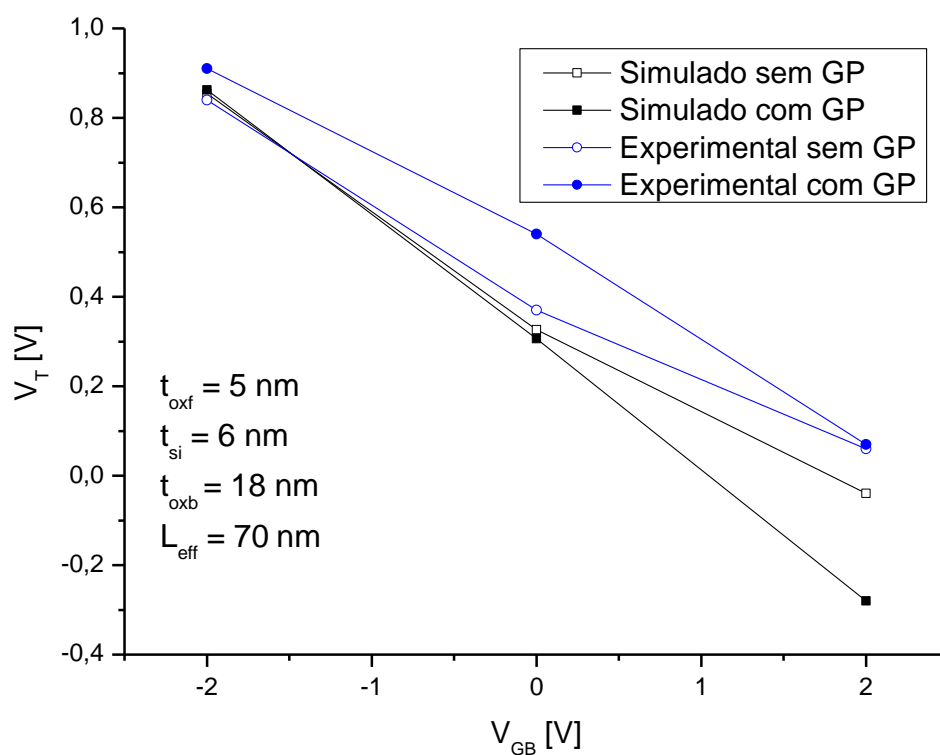


Figura 67 – Gráfico de V_T x V_{GB} com $V_{GB} = -2; 0$ e $2V$ para $L = 70\text{nm}$.

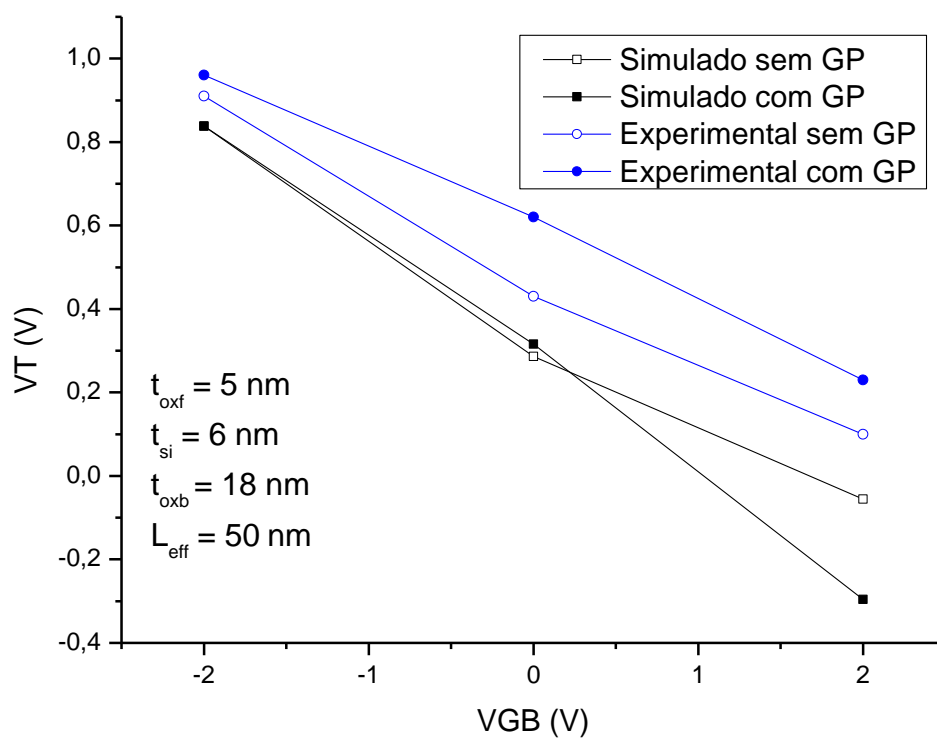


Figura 68 – Gráfico de V_T x V_{GB} com $V_{GB} = -2; 0$ e $2V$ para $L = 50\text{nm}$.

APÊNDICE D – LINHA DE COMANDO DO SIMULADOR

```
(define Lenght (* @L@ 0.001))
(define L (/ Lenght 2))
(define F 0.2)
(define ldd 0.05)
(define toxf 0.005)
(define tsi 0.006)
(define toxb 0.018)
(define NaSUB @GP@)
(define Naldd @Ldd@)
(define Na @Na@)

.....
;; REGIOES ;;
.....
(sdegeo:create-rectangle (position (-(+ F ldd L)) 0.000 0.0 )
  (position (- ldd) tsi 0.0 )
  "Silicon" "region_fonte" )

(sdegeo:create-rectangle (position (-(+ ldd L)) 0.000 0.0 )
  (position (- L) tsi 0.0 )
  "Silicon" "region_lddfonte" )

(sdegeo:create-rectangle (position (- L) 0.000 0.0 )
  (position L tsi 0.0 )
  "Silicon" "region_canal" )

(sdegeo:create-rectangle (position L 0.000 0.0 )
  (position (+ L ldd) tsi 0.0 )
  "Silicon" "region_ldddreno" )

(sdegeo:create-rectangle (position (+ L ldd) 0.000 0.0 )
  (position (+ L ldd F) tsi 0.0 )
  "Silicon" "region_dreno" )

(sdegeo:create-rectangle (position (- L) 0.000 0.0 )
  (position L (- toxf) 0.0 )
  "Oxide" "region_oxidoporta" )

(sdegeo:create-rectangle (position (-(+ L ldd F)) tsi 0.0 )
  (position (+ L ldd F) (+ tsi toxb) 0.0 )
  "Oxide" "region_oxidoenterrado" )

(sdegeo:create-rectangle (position (-(+ L ldd F)) (+ tsi toxb) 0.0 )
  (position (+ L ldd F) (+ tsi toxb 0.100) 0.0 )
  "Silicon" "region_substratoGP" )

(sdegeo:create-rectangle (position (-(+ L ldd F)) (+ tsi toxb 0.100) 0.0 )
  (position (+ L ldd F) (+ tsi toxb 0.700) 0.0 )
  "Silicon" "region_substrato1" )

(sdegeo:create-rectangle (position (-(+ L ldd F)) (+ tsi toxb 0.700) 0.0 )
  (position (+ L ldd F) (+ tsi toxb 0.850) 0.0 )
  "Silicon" "region_substratosGP" )

(sdegeo:create-rectangle (position (-(+ L ldd F)) (+ tsi toxb 0.850) 0.0 )
  (position (+ L ldd F) (+ tsi toxb 1.000) 0.0 )
  "Silicon" "region_substrato2" )

.....
;;
```

```

;;Vértices
..*****
;;

```

```

(sdegeo:insert-vertex (position (- (+ L ldd F) 0.05)) 0 0))
(sdegeo:insert-vertex (position (- (+ L ldd F) 0.05) 0 0))

```

```

..*****
;;
;;CONTATOS
..*****
;;

```

```

(sdegeo:define-contact-set "Contato_Porta" 4 (color:rgb 1 0 0) "##" )
(sdegeo:set-current-contact-set "Contato_Porta")
(sdegeo:define-2d-contact (list (car (find-edge-id (position 0.0 -0.005 0)))) "Contato_Porta")

(sdegeo:define-contact-set "Contato_Dreno" 4 (color:rgb 1 0 0) "##" )
(sdegeo:set-current-contact-set "Contato_Dreno")
(sdegeo:define-2d-contact (list (car (find-edge-id (position (- (+ L ldd F) 0.06) 0 0)))) "Contato_Dreno")

(sdegeo:define-contact-set "Contato_Fonte" 4 (color:rgb 1 0 0) "##" )
(sdegeo:set-current-contact-set "Contato_Fonte")
(sdegeo:define-2d-contact (list (car (find-edge-id (position (- (+ L ldd F) 0.05)) 0 0)))) "Contato_Fonte")

(sdegeo:define-contact-set "Contato_Substrato" 4 (color:rgb 1 0 0) "##" )
(sdegeo:set-current-contact-set "Contato_Substrato")
(sdegeo:define-2d-contact (list (car (find-edge-id (position 0.0 1.024 0)))) "Contato_Substrato")

```

```

..*****
;;
;;DOPAGEM
..*****
;;

```

```

(sdedr:define-constant-profile "ConstantProfileDefinition_Canal" "BoronActiveConcentration" Na)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_Canal" "ConstantProfileDefinition_Canal"
"region_canal")

(sdedr:define-constant-profile "ConstantProfileDefinition_Fonte1" "PhosphorusActiveConcentration" 1e+20)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_Fonte1"
"ConstantProfileDefinition_Fonte1" "region_fonte")

(sdedr:define-constant-profile "ConstantProfileDefinition_LDDFonte" "PhosphorusActiveConcentration"
Naldd)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_LDDFonte"
"ConstantProfileDefinition_LDDFonte" "region_lddfonte")

(sdedr:define-constant-profile "ConstantProfileDefinition_Dreno1" "PhosphorusActiveConcentration" 1e+20)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_Dreno1"
"ConstantProfileDefinition_Dreno1" "region_dreno")

(sdedr:define-constant-profile "ConstantProfileDefinition_LDDDreno" "PhosphorusActiveConcentration"
Naldd)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_LDDDreno"
"ConstantProfileDefinition_LDDDreno" "region_ldddreno")

(sdedr:define-constant-profile "ConstantProfileDefinition_SubstratoGP" "PhosphorusActiveConcentration"
NaSUB)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_SubstratoGP"
"ConstantProfileDefinition_SubstratoGP" "region_substratoGP")

(sdedr:define-constant-profile "ConstantProfileDefinition_Substrato1" "PhosphorusActiveConcentration"
NaSUB)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_Substrato1"
"ConstantProfileDefinition_Substrato1" "region_substrato1")

```

```

(sdedr:define-constant-profile "ConstantProfileDefinition_SubstratosGP" "PhosphorusActiveConcentration"
NaSUB)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_SubstratosGP"
"ConstantProfileDefinition_SubstratosGP" "region_substratosGP")

(sdedr:define-constant-profile "ConstantProfileDefinition_Substrato2" "PhosphorusActiveConcentration"
NaSUB)
(sdedr:define-constant-profile-region "ConstantProfilePlacement_Substrato2"
"ConstantProfileDefinition_Substrato2" "region_substrato2")

..*****
,,
::REFERENCIA
,,
..*****
,,

(sdedr:define-refeval-window "RefEvalWin_porta_canal" "Rectangle" (position (- L) -0.0015 0)
(position L 0.0015 0))

(sdedr:define-refeval-window "RefEvalWin_enterrado_canal" "Rectangle" (position (- L) (- tsi 0.0015) 0)
(position L (+ tsi 0.0015) 0))

(sdedr:define-refeval-window "RefEvalWin_fonte_canal" "Rectangle" (position (- L 0.015)) 0.000 0)
(position (- L 0.005)) tsi 0))

(sdedr:define-refeval-window "RefEvalWin_dreno_canal" "Rectangle" (position (- L 0.015) 0.000 0)
(position (+ L 0.005) tsi 0))

(sdedr:define-refeval-window "RefEvalWin_centro_canal" "Rectangle" (position (- L 0.005)) 0.0015 0)
(position (+ L 0.005) (- tsi 0.0015) 0))

(sdedr:define-refeval-window "RefEvalWin_oxido_porta" "Rectangle" (position (- L) (- tox) 0)
(position L -0.0015 0))

..*****
,,
::GRADE - Mesh
,,
..*****
,,

(sdedr:define-refinement-size "RefinementDefinition_Fonte" 0.05 0.003 0
0.01 0.001 0 )
(sdedr:define-refinement-region "RefinementPlacement_Fonte" "RefinementDefinition_Fonte"
"region_fonte" )

(sdedr:define-refinement-size "RefinementDefinition_Dreno" 0.05 0.003 0
0.01 0.001 0 )
(sdedr:define-refinement-region "RefinementPlacement_Dreno" "RefinementDefinition_Dreno"
"region_dreno" )

(sdedr:define-refinement-size "RefinementDefinition_oxido_enterrado" 0.010 0.010 0
0.005 0.005 0 )
(sdedr:define-refinement-region "RefinementPlacement_oxido_enterrado"
"RefinementDefinition_oxido_enterrado" "region_oxidoenterrado" )

(sdedr:define-refinement-size "RefinementDefinition_SubstratoGP" 0.020 0.020 0
0.010 0.010 0 )
(sdedr:define-refinement-region "RefinementPlacement_SubstratoGP" "RefinementDefinition_SubstratoGP"
"region_substratoGP" )

(sdedr:define-refinement-size "RefinementDefinition_Substrato1" 0.050 0.050 0
0.025 0.025 0 )
(sdedr:define-refinement-region "RefinementPlacement_Substrato1" "RefinementDefinition_Substrato1"
"region_substrato1" )

(sdedr:define-refinement-size "RefinementDefinition_SubstratosGP" 0.020 0.020 0
0.010 0.010 0 )
(sdedr:define-refinement-region "RefinementPlacement_SubstratosGP"
"RefinementDefinition_SubstratosGP" "region_substratosGP" )

```

```

(sdedr:define-refinement-size "RefinementDefinition_Substrato2" 0.050 0.050 0
                                0.025 0.025 0 )
(sdedr:define-refinement-region "RefinementPlacement_Substrato2" "RefinementDefinition_Substrato2"
"region_substrato2" )

(sdedr:define-refinement-size "RefinementDefinition_porta_canal" 0.003 0.0006 0
                                0.0005 0.0002 0 )
(sdedr:define-refinement-placement "RefinementPlacement_porta_canal"
"RefinementDefinition_porta_canal" "RefEvalWin_porta_canal" )

(sdedr:define-refinement-size "RefinementDefinition_enterrado_canal" 0.0030 0.0006 0
                                0.0005 0.0002 0 )
(sdedr:define-refinement-placement "RefinementPlacement_enterrado_canal"
"RefinementDefinition_enterrado_canal" "RefEvalWin_enterrado_canal" )

(sdedr:define-refinement-size "RefinementDefinition_fonte_canal" 0.0008 0.0005 0
                                0.0004 0.0001 0 )
(sdedr:define-refinement-placement "RefinementPlacement_fonte_canal"
"RefinementDefinition_fonte_canal" "RefEvalWin_fonte_canal" )

(sdedr:define-refinement-size "RefinementDefinition_dreno_canal" 0.0008 0.0005 0
                                0.0004 0.0001 0 )
(sdedr:define-refinement-placement "RefinementPlacement_dreno_canal"
"RefinementDefinition_dreno_canal" "RefEvalWin_dreno_canal" )

(sdedr:define-refinement-size "RefinementDefinition_centro_canal" 0.003 0.0008 0
                                0.0005 0.00045 0 )
(sdedr:define-refinement-placement "RefinementPlacement_centro_canal"
"RefinementDefinition_centro_canal" "RefEvalWin_centro_canal" )

(sdedr:define-refinement-size "RefinementDefinition_oxido_porta" 0.003 0.001 0
                                0.0005 0.0007 0 )
(sdedr:define-refinement-placement "RefinementPlacement_oxido_porta"
"RefinementDefinition_oxido_porta" "RefEvalWin_oxido_porta" )

(sde:build-mesh "mesh" "-F tdr " "/home/simulacao/L@L@_Ldd@Ldd@_NaSUB@GP@_Na@Na@")

.....
File { * input files:
    Grid = "/home/simulacao/ /L@L@_Ldd@Ldd@_NaSUB@GP@_Na@Na@_msh.tdr"
    Doping = "/home/simulacao/L@L@_Ldd@Ldd@_NaSUB@GP@_Na@Na@_msh.tdr"
    * output files:
    Plot = "/home/simulacao/ VGB_20.tdr"
    Current = "/home/simulacao/VGB_20.plt"
    Output = "/home/simulacao/ VGB_20.log"
}

Electrode {
    { Name="Contato_Fonte" Voltage= 0.00 }
    { Name="Contato_Dreno" Voltage= 0.00 }
    { Name="Contato_Porta" Voltage= 0.00 Workfuntction=@FM@}
    { Name="Contato_Substrato" Voltage= 0.00 }
}

Physics {

```

```

Mobility(PhuMob
    Enormal
    HighFieldSaturation
)
Recombination(SRH (DopingDep TempDependence)
    Avalanche(vanOverstraeten)
)
EffectiveIntrinsicDensity(BandGapNarrowing (OldSlotboom))
    Temperature = 300
}
Plot {
    eDensity hDensity eCurrent hCurrent
    Potential SpaceCharge ElectricField
    eMobility hMobility eVelocity hVelocity
    Doping DonorConcentration AcceptorConcentration
}
Math {
    Extrapolate
    RelErrControl
    Iterations = 50
    Method = pardiso
    Number_Of_Threads = maximum
    StackSize = 200000000
}

Solve {
    #-initial solution:
    Poisson
    Coupled { Poisson Electron hole }

    Quasistationary ( InitialStep=0.05 Maxstep=0.05 Minstep=1e-5
        Goal{ Name="Contato_Dreno" Voltage=0.05 } )
        { Coupled { Poisson Electron hole } }

    Quasistationary ( InitialStep=0.05 Maxstep=0.1 Minstep=1e-5
        Goal{ Name="Contato_Substrato" Voltage=-1.0 } )
        { Coupled { Poisson Electron hole } }

    Quasistationary ( InitialStep=0.05 Maxstep=0.1 Minstep=1e-5
        Goal{ Name="Contato_Substrato" Voltage=-2.0 } )
        { Coupled { Poisson Electron hole } }

    Quasistationary ( InitialStep=0.01 Maxstep=0.005 Minstep=1e-6
        Goal{ Name="Contato_Porta" Voltage=0.2 } )
        { Coupled { Poisson Electron hole } }

    Quasistationary ( InitialStep=0.005 Maxstep=0.005 Minstep=1e-6
        Goal{ Name="Contato_Porta" Voltage=2.2 } )
        { Coupled { Poisson Electron hole } }
}

```